

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 10-276081  
 (43) Date of publication of application : 13.10.1998

(51) Int. Cl. H03K 19/0175  
 H01L 21/8238  
 H01L 27/092  
 H03K 19/0948

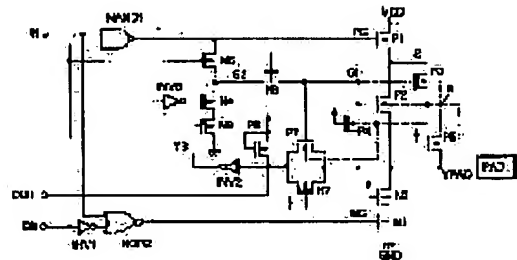
(21) Application number : 09-079385 (71) Applicant : OKI MICRO DESIGN MIYAZAKI:KK  
 OKI ELECTRIC IND CO LTD  
 (22) Date of filing : 31.03.1997 (72) Inventor : KONO HARUMI  
 SUSHIHARA AKIHIRO

## (54) INPUT CIRCUIT, OUTPUT CIRCUIT AND INPUT/OUTPUT CIRCUIT

## (57) Abstract:

PROBLEM TO BE SOLVED: To sufficiently secure a sufficient VIH margin, to cope with the process of weak breakdown voltage, to perform a high-speed operation and to reduce power consumption by raising an output terminal to an internal power supply level as well when an input/output terminal is raised to the internal power supply level.

SOLUTION: When 5[V], for instance, is inputted to the input/output terminal YPAD, raising to the internal power supply VDD level (3 [V]) is not performed only by an NMOS transistor N7. Thus, by a PMOS transistor P7 formed at a floating bulk B, the output terminal OUT is raised to the internal power supply VDD and the VIH margin of an internal input circuit is sufficiently filled. Also, even when a voltage higher than the internal power supply VDD level is inputted to the input/output terminal YPAD, since the PMOS transistor P7 is turned OFF, the output terminal OUT is turned to the internal power supply VDD level. Also, except the rising time of the input/output terminal YPAD, the flow-in of a current from the input/output terminal YPAD to the internal power supply VDD is not generated.



## LEGAL STATUS

[Date of request for examination] 28.01.2002  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application]

other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number] 3544819

[Date of registration] 16. 04. 2004

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-276081

(43)公開日 平成10年(1998)10月13日

(51) Int.Cl.<sup>8</sup>

**識別記号**

**F I**

**H O 3 K 19/0175**

**H O 3 K 19/00**

**101F**

H O 1 L 21/8238

H01L 27/08

3 2 1 L

**27/092**

H O 3 K 19/00

101K

**H O 3 K 19/0948**

101S

19/094

B

審査請求 未請求 請求項の数33 OL (全 32 頁)

(21)出願番号

特願平9-79385

(22) 出願日

平成9年(1997)3月31日

(71)出願人 591049893

株式会社沖マイクロデザイン宮崎  
宮崎県宮崎市大和町9番2号

(71)出願人 000000295

沖電気工業株式会社  
東京都港区虎ノ門1丁目7番12号

(72) 発明者 河野 治美

宮崎県宮崎市大和町9番2号 株式会社沖  
マイクロデザイン宮崎内

(72)発明者 須志原 昭博

宮崎県宮崎市大和町9番2号 株式会社沖  
マイクロデザイン宮崎内

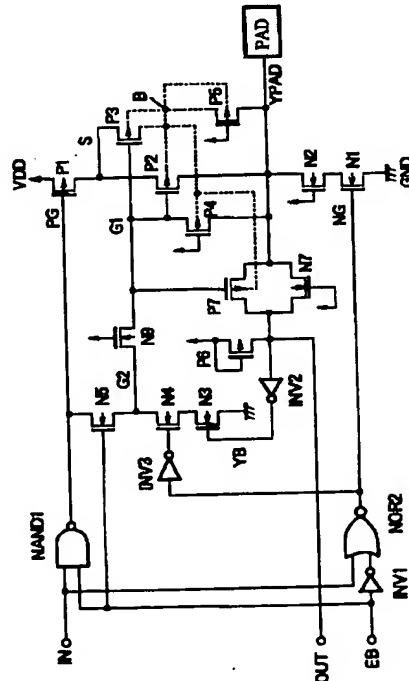
(74) 代理人 弁理士 前田 実

(54) 【発明の名称】 入力回路および出力回路ならびに入出力回路

(57) 【要約】

【課題】 低消費電力化、動作の高速化、およびV I H  
マージンの向上を図る。

【解決手段】 内部電源VDDは外部電源VCCよりも低い。入出力端子YPADに電圧VCCが入力された場合には、YPADが電圧VCCに上昇するまでは、PMOSTランジスタP7がONしており、YPADがVDDより高くなると、P7がOFFする。従って出力端子OUTは内部電源レベルとなる。またYPADから“H”レベルの電圧を出力する場合には、YPADが電圧VDDに上昇するまでは、PMOSTランジスタP2がONし、YPADがVDDより高くなるとP2がOFFする。従って、YPADはVDDまでは高速に上昇し、その後、プルアップ抵抗R1により外部電源レベルまで上昇する。



## 第1の実施形態

## -[特許請求の範囲]

【請求項1】 ゲート電極が第1のノードに接続され、第1電極が第1の電源に接続され、第2電極が第2のノードに接続された第1のMOSトランジスタと、

ゲート電極が第3のノードに接続され、第1電極が前記第2のノードに接続され、第2電極が第4のノードに接続され、基板がフローティング状態である第5のノードに接続された第2のMOSトランジスタと、

ゲート電極が第6のノードに接続され、第1電極が前記第3のノードに接続され、第2電極が前記第4のノードに接続され、基板が前記第5のノードに接続された第3のMOSトランジスタと、

ゲート電極が前記第6のノードに接続され、第1電極が前記第3のノードに接続され、第2電極が第2の電源に接続された第4のMOSトランジスタと、

入力端子が前記第4のノードに接続され、出力端子が前記第6のノードに接続されたインバータとを有することを特徴とする出力回路。

【請求項2】 前記第3のMOSトランジスタのゲート電極と、前記第4のトランジスタのゲート電極の間に遅延回路を設けたことを特徴とする請求項1記載の出力回路。

【請求項3】 ゲート電極が前記第3のノードに接続され、第1電極が前記第2のノードに接続され、第2電極および基板が前記第5のノードに接続された第5のMOSトランジスタをさらに有することを特徴とする請求項1記載の出力回路。

【請求項4】 ゲート電極が前記第1の電源に接続され、第1電極が前記第4のノードに接続され、第2電極および基板が前記第5のノードに接続された第5のMOSトランジスタをさらに有することを特徴とする請求項1記載の出力回路。

【請求項5】 前記第1のノードに接続する第1の入力端子と、第7のノードに接続する第2の入力端子と、前記第4のノードに接続する出力端子と、ゲート電極が前記第7のノードに接続され、第1電極が前記第2の電源に接続され、第1電極が前記第4のノードに接続された第5のMOSトランジスタとをさらに有することを特徴とする請求項1記載の出力回路。

【請求項6】 ゲート電極が第1のノードに接続され、第1電極が第1の電源に接続され、第2電極が第2のノードに接続された第1のMOSトランジスタと、ゲート電極が第3のノードに接続され、第1電極が前記第2のノードに接続され、第2電極が第4のノードに接続され、基板がフローティング状態である第5のノードに接続された第2のMOSトランジスタと、ゲート電極が第6のノードに接続され、第1電極が前記第3のノードに接続され、第2電極が前記第4のノードに接続され、基板が前記第5のノードに接続された第3

のMOSトランジスタと、

ゲート電極が前記第1の電源に接続され、第1電極が前記第4のノードに接続され、第2電極が第7のノードに接続された第4のMOSトランジスタと、

ゲート電極が前記第3のノードに接続され、第1電極が前記第7のノードに接続され、第2電極が前記第4のノードに接続され、基板が前記第5のノードに接続された第5のMOSトランジスタと、

入力端子が前記第7のノードに接続され、出力端子が第8のノードに接続されたインバータと、

ゲート電極が前記第8のノードに接続され、第1電極が第2の電源に接続され、第2電極が前記第6のノードに接続された第6のMOSトランジスタと、

ゲート電極が前記第1の電源に接続され、第1電極が前記第6のノードに接続され、第2電極が前記第3のノードに接続された第7のMOSトランジスタとを有することを特徴とする出力回路。

【請求項7】 ゲート電極および第1電極が前記第1の電源に接続され、第2電極が前記第7のノードに接続された第8のMOSトランジスタをさらに有することを特徴とする請求項6記載の出力回路。

【請求項8】 ゲート電極が前記第3のノードに接続され、第1電極が前記第2のノードに接続され、第2電極および基板が前記第5のノードに接続された第8のMOSトランジスタをさらに有することを特徴とする請求項6記載の出力回路。

【請求項9】 ゲート電極が前記第1の電源に接続され、第1電極が前記第4のノードに接続され、第2電極および基板が前記第5のノードに接続された第8のMOSトランジスタをさらに有することを特徴とする請求項6記載の出力回路。

【請求項10】 前記第1のノードに接続する第1の入力端子と、

第9のノードに接続する第2の入力端子と、

前記第4のノードに接続する出力端子と、

ゲート電極が前記第9のノードに接続され、第1電極が前記第2の電源に接続され、第2電極が第10のノードに接続された第8のMOSトランジスタと、

ゲート電極が前記第1の電源に接続され、第1電極が前記第10のノードに接続され、第2電極が前記第4のノードに接続された第9のMOSトランジスタとをさらに有することを特徴とする請求項6記載の出力回路。

【請求項11】 ゲート電極が第1のノードに接続され、第1電極が第1の電源に接続され、第2電極が第2のノードに接続された第1のMOSトランジスタと、ゲート電極が第3のノードに接続され、第1電極が前記第2のノードに接続され、第2電極が第4のノードに接続され、基板がフローティング状態である第5のノードに接続された第2のMOSトランジスタと、

ゲート電極が第6のノードに接続され、第1電極が前記

(3)

3

第3のノードに接続され、第2電極が前記第4のノードに接続され、基板が前記第5のノードに接続された第3のMOSトランジスタと、  
 ゲート電極が前記第1の電源に接続され、第1電極が前記第4のノードに接続され、第2電極が第7のノードに接続された第4のMOSトランジスタと、  
 ゲート電極が前記第3のノードに接続され、第1電極が前記第7のノードに接続され、第2電極が前記第4のノードに接続され、基板が前記第5のノードに接続された第5のMOSトランジスタと、  
 第1入力端子が前記第7のノードに接続され、第2入力端子が第8のノードに接続され、出力端子が第9のノードに接続されたNORゲートと、  
 ゲート電極が前記第9のノードに接続され、第1電極が第2の電源に接続され、第2電極が第10のノードに接続された第6のMOSトランジスタと、  
 ゲート電極が前記第1の電源に接続され、第1電極が前記第10のノードに接続され、第2電極が前記第3のノードに接続された第7のMOSトランジスタと、  
 ゲート電極が前記第1の電源に接続され、第1電極が前記第3のノードに接続され、第2電極が第11のノードに接続された第8のMOSトランジスタと、  
 ゲート電極が前記第8のノードに接続され、第1電極が前記第11のノードに接続され、第2電極が前記第1のノードに接続された第9のMOSトランジスタと、  
 ゲート電極が第12のノードに接続され、第1電極が前記第10のノードに接続され、第2電極が前記第6のノードに接続された第10のMOSトランジスタと、  
 ゲート電極が前記第12のノードに接続され、第1電極が前記第1の電源に接続され、第2電極が前記第6のノードに接続された第11のMOSトランジスタとを有することを特徴とする出力回路。  
 【請求項12】 ゲート電極および第1電極が前記第1の電源に接続され、第2電極が前記第7のノードに接続された第12のMOSトランジスタをさらに有することを特徴とする請求項11記載の出力回路。  
 【請求項13】 ゲート電極が前記第3のノードに接続され、第1電極が前記第2のノードに接続され、第2電極および基板が前記第5のノードに接続された第12のMOSトランジスタをさらに有することを特徴とする請求項11記載の出力回路。  
 【請求項14】 ゲート電極が前記第1の電源に接続され、第1電極が前記第4のノードに接続され、第2電極および基板が前記第5のノードに接続された第12のMOSトランジスタをさらに有することを特徴とする請求項11記載の出力回路。  
 【請求項15】 前記第1のノードに接続する第1の入力端子と、  
 第13のノードに接続する第2の入力端子と、  
 前記第12のノードに接続する第3の入力端子と、

特開平10-276081

4

前記第8のノードに接続する第4の入力端子と、  
 前記第4のノードに接続する出力端子と、  
 ゲート電極が前記第13のノードに接続され、第1電極が前記第2の電源に接続され、第2電極が第14のノードに接続された第12のMOSトランジスタと、  
 ゲート電極が前記第1の電源に接続され、第1電極が前記第14のノードに接続され、第2電極が前記第4のノードに接続された第13のMOSトランジスタとをさらに有することを特徴とする請求項11記載の出力回路。  
 10 【請求項16】 ゲート電極および第1電極が第1の電源に接続され、第2電極が第1のノードに接続された第1のMOSトランジスタと、  
 ゲート電極が第2のノードに接続され、第1電極が前記第1のノードに接続され、第2電極が第3のノードに接続され、基板がフローティング状態である第4のノードに接続された第2のMOSトランジスタと、  
 ゲート電極が前記第1の電源に接続され、第1電極が前記第2のノードに接続され、第2電極が前記第3のノードに接続され、基板が前記第4のノードに接続された第3のMOSトランジスタと、  
 20 ゲート電極が前記第1の電源に接続され、第1電極が前記第3のノードに接続され、第2電極が第5のノードに接続された第4のMOSトランジスタと、  
 ゲート電極が前記第2のノードに接続され、第1電極が前記第5のノードに接続され、第2電極が前記第3のノードに接続され、基板が前記第4のノードに接続された第5のMOSトランジスタと、  
 30 入力端子が前記第5のノードに接続され、出力端子が第6のノードに接続されたインバータと、  
 ゲート電極が前記第6のノードに接続され、第1電極が第2の電源に接続され、第2電極が第7のノードに接続された第6のMOSトランジスタと、  
 ゲート電極が前記第1の電源に接続され、第1電極が前記第7のノードに接続され、第2電極が前記第2のノードに接続された第7のMOSトランジスタとを有することを特徴とする入力回路。  
 【請求項17】 ゲート電極および第1電極が前記第1の電源に接続され、第2電極が前記第5のノードに接続された第8のMOSトランジスタをさらに有することを特徴とする請求項16記載の入力回路。  
 40 【請求項18】 ゲート電極が前記第2の電源に接続され、第1電極が前記第1の電源に接続され、第2電極が前記第5のノードに接続された第8のMOSトランジスタをさらに有することを特徴とする請求項16記載の入力回路。  
 【請求項19】 ゲート電極が前記第1の電源に接続され、第1電極が前記第5のノードに接続され、第2電極が前記第2の電源に接続された第8のMOSトランジスタをさらに有することを特徴とする請求項16記載の入力回路。  
 50

〔請求項20〕 ゲート電極が前記第1の電源に接続され、第1電極が前記第3のノードに接続され、第2電極が第8のノードに接続された第8のMOSトランジスタと、

ゲート電極が前記第8のノードに接続され、第1電極が前記第1の電源に接続され、第2電極が前記第3のノードに接続され、基板が前記第4のノードに接続された第9のMOSトランジスタとをさらに有することを特徴とする請求項16記載の入力回路。

〔請求項21〕 ゲート電極が前記第1の電源に接続され、第1電極が前記第2の電源に接続され、第1電極が第8のノードに接続された第8のMOSトランジスタと、

ゲート電極が前記第1の電源に接続され、第1電極が前記第8のノードに接続され、第2電極が前記第3のノードに接続された第9のMOSトランジスタとをさらに有することを特徴とする請求項16記載の入力回路。

〔請求項22〕 ゲート電極が前記第2のノードに接続され、第1電極が前記第1のノードに接続され、第2電極および基板が前記第4のノードに接続された第8のMOSトランジスタとをさらに有することを特徴とする請求項16記載の入力回路。

〔請求項23〕 ゲート電極が前記第1の電源に接続され、第1電極が前記第3のノードに接続され、第2電極および基板が前記第4のノードに接続された第8のMOSトランジスタとをさらに有することを特徴とする請求項16記載の入力回路。

〔請求項24〕 前記第3のノードに接続する入力端子と、

前記第5のノードに接続する出力端子と、

ゲート電極および第1電極が前記第2の電源に接続され、第1電極が第8のノードに接続された第8のMOSトランジスタと、

ゲート電極が前記第1の電源に接続され、第1電極が前記第8のノードに接続され、第2電極が前記第3のノードに接続された第9のMOSトランジスタとをさらに有することを特徴とする請求項16記載の入力回路。

〔請求項25〕 ゲート電極が前記第1の電源に接続され、第1電極が前記第8のノードに接続され、第2電極が前記第2の電源に接続された第10のMOSトランジスタとをさらに有することを特徴とする請求項24記載の入力回路。

〔請求項26〕 第1のノードに接続する入力端子と、ゲート電極が前記第1のノードに接続され、第1電極が第1の電源に接続され、第2電極および基板がフローティング状態である第2のノードに接続された第1のMOSトランジスタと、

ゲート電極が前記第1の電源に接続され、第1電極が前記第1のノードに接続され、第2電極が第3のノードに接続され、基板が前記第2のノードに接続された第2の

MOSトランジスタと、

第1端子が前記第3のノードに接続され、第2端子が第2の電源に接続された負荷回路と、

ゲート電極が前記第1の電源に接続され、第1電極が前記第3のノードに接続され、第2電極が第4のノードに接続された第3のMOSトランジスタと、

入力端子が前記第4のノードに接続され、出力端子が第5のノードに接続されたコンパレータ回路と、

前記第5のノードに接続された出力端子とを有することを特徴とする入力回路。

〔請求項27〕 第1のノードに接続する入力端子と、ゲート電極が前記第1のノードに接続され、第1電極が第1の電源に接続され、第2電極および基板がフローティング状態である第2のノードに接続された第1のMOSトランジスタと、

ゲート電極が前記第1の電源に接続され、第1電極が前記第1のノードに接続され、第2電極が第3のノードに接続され、基板が前記第2のノードに接続された第2のMOSトランジスタと、

第1端子が前記第3のノードに接続され、第2端子が第2の電源に接続された負荷回路と、

ゲート電極が前記第1の電源に接続され、第1電極が前記第3のノードに接続され、第2電極が第4のノードに接続された第3のMOSトランジスタと、

ゲート電極が前記第4のノードに接続され、第1電極が第5のノードに接続され、第2電極が前記第2の電源に接続された第4のMOSトランジスタと、

ゲート電極が前記第4のノードに接続され、第1電極および基板が第6のノードに接続され、第2電極が前記第5のノードに接続された第5のMOSトランジスタと、

入力電極が前記第5のノードに接続され、出力電極が第7のノードに接続されたインバータと、

ゲート電極が前記第7のノードに接続され、第1電極が前記第1の電源に接続され、第2電極が前記第6のノードに接続された第6のMOSトランジスタと、

ゲート電極が前記第7のノードに接続され、第1電極が前記第6のノードに接続され、第2電極が前記第1の電源に接続された第7のMOSトランジスタと、

前記第7のノードに接続された出力端子とを有することを特徴とする入力回路。

〔請求項28〕 請求項12記載の出力回路と、請求項26または請求項27に記載の入力回路からなり、前記出力回路の第3の入力端子と前記入力回路の出力端子とを接続し、前記出力回路の出力端子を外部回路に接続し、前記入力回路の入力端子を前記外部回路の電源に接続したことを特徴とする入出力回路。

〔請求項29〕 ゲート電極が第1のノードに接続され、第1電極が第1の電源に接続され、第2電極が第2のノードに接続された第1のMOSトランジスタと、ゲート電極が第3のノードに接続され、第1電極が前記

(5)

特開平10-276081

7

第2のノードに接続され、第2電極が第4のノードに接続され、基板がフローティング状態である第5のノードに接続された第2のMOSトランジスタと、  
 ゲート電極が前記第1の電源に接続され、第1電極が前記第3のノードに接続され、第2電極が前記第4のノードに接続され、基板が前記第5のノードに接続された第3のMOSトランジスタと、  
 ゲート電極が前記第1の電源に接続され、第1電極が前記第4のノードに接続され、第2電極が第6のノードに接続された第4のMOSトランジスタと、  
 ゲート電極が前記第3のノードに接続され、第1電極が前記第6のノードに接続され、第2電極が前記第4のノードに接続され、基板が前記第5のノードに接続された第5のMOSトランジスタと、  
 入力端子が前記第6のノードに接続され、出力端子が第7のノードに接続されたインバータと、  
 ゲート電極が前記第7のノードに接続され、第1電極が第2の電源に接続され、第2電極が第8のノードに接続された第6のMOSトランジスタと、  
 ゲート電極が第9のノードに接続され、第1電極が前記第8のノードに接続され、第2電極が第10のノードに接続された第7のMOSトランジスタと、  
 ゲート電極が第11のノードに接続され、第1電極が前記第10のノードに接続され、第2電極が前記第1のノードに接続された第8のMOSトランジスタと、  
 ゲート電極が前記第1の電源に接続され、第1電極が前記第10のノードに接続され、第2電極が前記第3のノードに接続された第9のMOSトランジスタとを有することを特徴とする入出力回路。  
 【請求項30】 ゲート電極および第1電極が前記第1の電源に接続され、第2電極が前記第6のノードに接続された第10のMOSトランジスタをさらに有することを特徴とする請求項29記載の入出力回路。  
 【請求項31】 ゲート電極が前記第3のノードに接続され、第1電極が前記第2のノードに接続され、第2電極および基板が前記第5のノードに接続された第10のMOSトランジスタをさらに有することを特徴とする請求項29記載の入出力回路。  
 【請求項32】 ゲート電極が前記第1の電源に接続され、第1電極が前記第4のノードに接続され、第2電極および基板が前記第5のノードに接続された第10のMOSトランジスタをさらに有することを特徴とする請求項29記載の入出力回路。  
 【請求項33】 前記第1のノードに接続する第1の入力端子と、  
 前記第11のノードに接続された第2の入力端子と、  
 前記第9のノードに接続された第3の入力端子と、  
 第12のノードに接続された第4の入力端子と、  
 前記第6のノードに接続された出力端子と、  
 前記第4のノードに接続された入出力端子と、

8

ゲート電極が前記第12のノードに接続され、第1電極が前記第2の電源に接続され、第2電極が第13のノードに接続された第10のMOSトランジスタと、  
 ゲート電極が前記第1の電源に接続され、第1電極が前記第13のノードに接続され、第2電極が前記第4のノードに接続された第11のMOSトランジスタとをさらに有することを特徴とする請求項29記載の入出力回路。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】本発明は、半導体集積回路装置に用いられる入力回路、出力回路、入出力回路に関するものであり、特に、内部電源電圧よりも高い信号電圧が入力される場合に有効な入力回路および入出力回路、信号出力端子の電圧が電源電圧よりも高くなる場合に有効な出力回路および入出力回路に関するものである。

【0002】

20 【従来の技術】図24は半導体集積回路装置（LSIチップ）に用いられる従来の入力回路を示す回路図である。また図25は図24に示す従来の入力回路における動作タイミング図である。図24に示す入力回路は、耐圧の弱いプロセスによるLSIに用いられ、外部からの0～5[V]振幅の入力信号を、常時ONとなっているNMOSトランジスタN100により0～（VDD-NMOSしきい値電圧）までの振幅にして、同一チップの内部回路に与えるものであった。そして、内部回路のしきい値を低めに設定していた。

30 【0003】また、図26はLSIチップに用いられる従来の出力回路を示す回路図である。また図27は図26に示す従来の出力回路における動作タイミング図である。図26に示す出力回路は、耐圧の弱いプロセスによりLSIに用いられ、常時ONしているNMOSトランジスタN101を設けたオープンドレイン回路を、外部に設けられた、5[V]へのプルアップ抵抗R1に接続したものであった。NMOSトランジスタN101により、N102のドレイン、ソース電極間には5[V]の電位差は生じない。

【0004】

40 【発明が解決しようとする課題】図24に示した従来の入力回路では、内部電源電圧VDDを3[V]とすると、5[V]の電圧が入力されたときに、ノードYの電位はVDD-NMOS閾値となるので、約2.3[V]となる。そのため、入力回路のVIH規格に対して厳しくなるという問題があった。VIH規格とは、入力回路からの“H”レベル電圧に、内部回路のしきい値に対して十分なマージンを持たせることができているか否かを示す規格である。

50 【0005】また図26に示した従来の出力回路では、出力波形の立ち上がりはプルアップ抵抗R1の値により決定され、高速に動作させるためにはR1の抵抗値を小さくする必要がある。しかし抵抗値を小さくすることに



より電流を多く消費することになる。逆に消費電流を小さくするために抵抗値を大きくすると、出力波形の立ち上がりが遅くなり高速性を損なうという問題点があった。

【0006】本発明はこのような従来の問題を解決するものであり、充分なV I Hマージンを充分に確保することができ、耐圧の弱いプロセスに対応でき、高速動作が可能であり、かつ消費電流が小さい入力回路、出力回路、および入出力回路を提供することを目的とする。

【0007】

【課題を解決するための手段】上記の目的を達成するために本発明の請求項1記載の出力回路は、ゲート電極が第1のノードに接続され、第1電極が第1の電源に接続され、第2電極が第2のノードに接続された第1のMOSトランジスタと、ゲート電極が第3のノードに接続され、第1電極が前記第2のノードに接続され、第2電極が第4のノードに接続され、基板がフローティング状態である第5のノードに接続された第2のMOSトランジスタと、ゲート電極が第6のノードに接続され、第1電極が前記第3のノードに接続され、第2電極が前記第4のノードに接続され、基板が前記第5のノードに接続された第3のMOSトランジスタと、ゲート電極が前記第6のノードに接続され、第1電極が前記第3のノードに接続され、第2電極が第2の電源に接続された第4のMOSトランジスタと、入力端子が前記第4のノードに接続され、出力端子が前記第6のノードに接続されたインバータとを有することを特徴とする。

【0008】本発明の請求項6記載の出力回路は、ゲート電極が第1のノードに接続され、第1電極が第1の電源に接続され、第2電極が第2のノードに接続された第1のMOSトランジスタと、ゲート電極が第3のノードに接続され、第1電極が前記第2のノードに接続され、第2電極が第4のノードに接続され、基板がフローティング状態である第5のノードに接続された第2のMOSトランジスタと、ゲート電極が第6のノードに接続され、第1電極が前記第3のノードに接続され、第2電極が前記第4のノードに接続され、基板が前記第5のノードに接続された第3のMOSトランジスタと、ゲート電極が前記第1の電源に接続され、第1電極が前記第4のノードに接続され、第2電極が第7のノードに接続された第4のMOSトランジスタと、ゲート電極が前記第3のノードに接続され、第1電極が前記第7のノードに接続され、第2電極が前記第4のノードに接続され、基板が前記第5のノードに接続された第5のMOSトランジスタと、入力端子が前記第7のノードに接続され、出力端子が第8のノードに接続されたインバータと、ゲート電極が前記第8のノードに接続され、第1電極が第2の電源に接続され、第2電極が前記第6のノードに接続された第6のMOSトランジスタと、ゲート電極が前記第1の電源に接続され、第1電極が前記第6のノードに接

続され、第2電極が前記第3のノードに接続された第7のMOSトランジスタとを有することを特徴とする。

【0009】本発明の請求項11記載の出力回路は、ゲート電極が第1のノードに接続され、第1電極が第1の電源に接続され、第2電極が第2のノードに接続された第1のMOSトランジスタと、ゲート電極が第3のノードに接続され、第1電極が前記第2のノードに接続され、第2電極が第4のノードに接続され、基板がフローティング状態である第5のノードに接続された第2のMOSトランジスタと、ゲート電極が第6のノードに接続され、第1電極が前記第3のノードに接続され、第2電極が前記第4のノードに接続され、基板が前記第5のノードに接続された第3のMOSトランジスタと、ゲート電極が前記第1の電源に接続され、第1電極が前記第4のノードに接続され、第2電極が第7のノードに接続された第4のMOSトランジスタと、ゲート電極が前記第3のノードに接続され、第1電極が前記第7のノードに接続され、第2電極が前記第4のノードに接続され、基板が前記第5のノードに接続された第5のMOSトランジスタと、第1入力端子が前記第7のノードに接続され、第2入力端子が第8のノードに接続され、出力端子が第9のノードに接続されたNORゲートと、ゲート電極が前記第9のノードに接続され、第1電極が第2の電源に接続され、第2電極が第10のノードに接続された第6のMOSトランジスタと、ゲート電極が前記第1の電源に接続され、第1電極が前記第10のノードに接続され、第2電極が前記第3のノードに接続された第7のMOSトランジスタと、ゲート電極が前記第1の電源に接続され、第1電極が前記第3のノードに接続され、第2電極が第11のノードに接続された第8のMOSトランジスタと、ゲート電極が前記第8のノードに接続され、第1電極が前記第11のノードに接続され、第2電極が前記第1のノードに接続された第9のMOSトランジスタと、ゲート電極が第12のノードに接続され、第1電極が前記第10のノードに接続され、第2電極が前記第6のノードに接続された第10のMOSトランジスタと、ゲート電極が前記第12のノードに接続され、第1電極が前記第1の電源に接続され、第2電極が前記第6のノードに接続された第11のMOSトランジスタとを有することを特徴とする。

【0010】また、本発明の請求項16記載の入力回路は、ゲート電極および第1電極が第1の電源に接続され、第2電極が第1のノードに接続された第1のMOSトランジスタと、ゲート電極が第2のノードに接続され、第1電極が前記第1のノードに接続され、第2電極が第3のノードに接続され、基板がフローティング状態である第4のノードに接続された第2のMOSトランジスタと、ゲート電極が前記第1の電源に接続され、第1電極が前記第2のノードに接続され、第2電極が前記第3のノードに接続され、基板が前記第4のノードに接続



された第3のMOSトランジスタと、ゲート電極が前記第1の電源に接続され、第1電極が前記第3のノードに接続され、第2電極が第5のノードに接続された第4のMOSトランジスタと、ゲート電極が前記第2のノードに接続され、第1電極が前記第5のノードに接続され、第2電極が前記第3のノードに接続され、基板が前記第4のノードに接続された第5のMOSトランジスタと、入力端子が前記第5のノードに接続され、出力端子が第6のノードに接続されたインバータと、ゲート電極が前記第6のノードに接続され、第1電極が第2の電源に接続され、第2電極が第7のノードに接続された第6のMOSトランジスタと、ゲート電極が前記第1の電源に接続され、第1電極が前記第7のノードに接続され、第2電極が前記第2のノードに接続された第7のMOSトランジスタとを有することを特徴とする。

【0011】本発明の請求項26記載の入力回路は、第1のノードに接続する入力端子と、ゲート電極が前記第1のノードに接続され、第1電極が第1の電源に接続され、第2電極および基板がフローティング状態である第2のノードに接続された第1のMOSトランジスタと、ゲート電極が前記第1の電源に接続され、第1電極が前記第1のノードに接続され、第2電極が第3のノードに接続され、基板が前記第2のノードに接続された第2のMOSトランジスタと、第1端子が前記第3のノードに接続され、第2端子が第2の電源に接続された負荷回路と、ゲート電極が前記第1の電源に接続され、第1電極が前記第3のノードに接続され、第2電極が第4のノードに接続された第3のMOSトランジスタと、入力端子が前記第4のノードに接続され、出力端子が第5のノードに接続されたコンパレータ回路と、前記第5のノードに接続された出力端子とを有することを特徴とする。

【0012】本発明の請求項27記載の入力回路は、第1のノードに接続する入力端子と、ゲート電極が前記第1のノードに接続され、第1電極が第1の電源に接続され、第2電極および基板がフローティング状態である第2のノードに接続された第1のMOSトランジスタと、ゲート電極が前記第1の電源に接続され、第1電極が前記第1のノードに接続され、第2電極が第3のノードに接続され、基板が前記第2のノードに接続された第2のMOSトランジスタと、第1端子が前記第3のノードに接続され、第2端子が第2の電源に接続された負荷回路と、ゲート電極が前記第1の電源に接続され、第1電極が前記第3のノードに接続され、第2電極が第4のノードに接続された第3のMOSトランジスタと、ゲート電極が前記第4のノードに接続され、第1電極が第5のノードに接続され、第2電極が前記第2の電源に接続された第4のMOSトランジスタと、ゲート電極が前記第4のノードに接続され、第1電極および基板が第6のノードに接続され、第2電極が前記第5のノードに接続された第5のMOSトランジスタと、入力電極が前記第5の

ノードに接続され、出力電極が第7のノードに接続されたインバータと、ゲート電極が前記第7のノードに接続され、第1電極が前記第1の電源に接続され、第2電極が前記第6のノードに接続された第6のMOSトランジスタと、ゲート電極が前記第7のノードに接続され、第1電極が前記第6のノードに接続され、第2電極が前記第1の電源に接続された第7のMOSトランジスタと、前記第7のノードに接続された出力端子とを有することを特徴とする。

10 【0013】また本発明の請求項29記載の入出力回路は、ゲート電極が第1のノードに接続され、第1電極が第1の電源に接続され、第2電極が第2のノードに接続された第1のMOSトランジスタと、ゲート電極が第3のノードに接続され、第1電極が前記第2のノードに接続され、第2電極が第4のノードに接続され、基板がフローティング状態である第5のノードに接続された第2のMOSトランジスタと、ゲート電極が前記第1の電源に接続され、第1電極が前記第3のノードに接続され、第2電極が前記第4のノードに接続され、基板が前記第5のノードに接続された第3のMOSトランジスタと、ゲート電極が前記第1の電源に接続され、第1電極が前記第4のノードに接続され、第2電極が第6のノードに接続された第4のMOSトランジスタと、ゲート電極が前記第3のノードに接続され、第1電極が前記第6のノードに接続され、第2電極が前記第4のノードに接続され、基板が前記第5のノードに接続された第5のMOSトランジスタと、入力端子が前記第6のノードに接続され、出力端子が第7のノードに接続されたインバータと、ゲート電極が前記第7のノードに接続され、第1電極が第2の電源に接続され、第2電極が第8のノードに接続された第6のMOSトランジスタと、ゲート電極が第9のノードに接続され、第1電極が前記第8のノードに接続され、第2電極が第10のノードに接続された第7のMOSトランジスタと、ゲート電極が第11のノードに接続され、第1電極が前記第10のノードに接続され、第2電極が前記第1のノードに接続された第8のMOSトランジスタと、ゲート電極が前記第1の電源に接続され、第1電極が前記第10のノードに接続され、第2電極が前記第3のノードに接続された第9のMOSトランジスタとを有することを特徴とする。

【0014】

【発明の実施の形態】

第1の実施形態

図1は本発明の第1の実施形態の入出力回路を示す回路図である。図1に示す入出力回路は、LSIチップに内蔵されており、入力端子INと、イネーブル入力端子EBと、出力端子OUTと、入出力端子YPADと、2入力のNANDゲート1と、2入力のNORゲート2と、PMOSトランジスタP1～P7と、NMOSトランジスタN1～N5、N7、N9と、インバータINV1～

1 NV3とを有する。このLSIチップの内部電源VDDは、ここでは3[V]とする。入出力端子YPADには、このLSIチップの外部に設けられた外部回路(図示しない)が接続されているものとする。入出力端子YPADは、外部回路が図1の入出力回路に信号電圧を入力し、また図1の入出力回路が外部回路に信号電圧を出力するための端子である。外部電源VCCは、ここでは5[V]とする。また外部回路が入出力端子YPADに入力する信号電圧の“H”レベルは、外部電源VCCレベル(5[V])であるものとする。

【0015】NANDゲート1は、その第1入力端子が入力端子INに接続され、その第2入力端子がイネーブル入力端子EBに接続され、その出力端子が内部ノードPGに接続されている。NORゲート2はその第1入力端子が入力端子INに接続され、その第2入力端子がインバータINV1を介してイネーブル入力端子EBに接続され、その出力端子が内部ノードNGに接続されている。

【0016】NMOSトランジスタN1は、そのゲート電極がノードNGに接続され、そのソース電極が接地電源GNDに接続されている。NMOSトランジスタN2は、そのゲート電極が内部電源VDDに接続され、そのドレイン電極が端子YPADに接続され、そのソース電極がNMOSトランジスタN1のドレイン電極に接続されている。

【0017】NMOSトランジスタN3は、そのゲート電極がインバータINV2を介して出力端子OUTに接続され、そのソース電極が接地電源GNDに接続されている。NMOSトランジスタN4は、そのゲート電極がインバータINV3を介してノードNGに接続され、そのドレイン電極が内部ノードG2に接続され、そのソース電極がNMOSトランジスタN3のドレイン電極に接続されている。NMOSトランジスタN5は、そのゲート電極がイネーブル端子EBに接続され、そのドレイン電極がノードPGに接続され、そのソース電極がノードG2に接続されている。NMOSトランジスタN9は、そのゲート電極が内部電源VDDに接続され、そのドレイン電極がノードG2に接続され、そのソース電極がノードG1に接続されている。

【0018】PMOSTランジスタP1は、そのゲート電極がノードPGに接続され、そのソース電極が内部電源VDDに接続され、そのドレイン電極は内部ノードSに接続されている。PMOSTランジスタP2は、そのゲート電極がノードG1に接続され、そのドレイン電極が入出力端子YPADに接続され、そのソース電極がノードSに接続されている。PMOSTランジスタP3は、そのゲート電極がノードG1に接続され、そのソース電極がノードSに接続されている。PMOSTランジスタP4は、そのゲート電極が内部電源VDDに接続され、ドレイン電極がノードG1に接続され、そのソース

電極が入出力端子YDADに接続されている。PMOSTランジスタP5は、そのゲート電極が内部電源VDDに接続され、そのソース電極が入出力端子YDADに接続されている。

【0019】NMOSTランジスタN7は、そのゲート電極が内部電源VDDに接続され、その第1電極(ドレイン電極またはソース電極)が入出力端子YPADに接続され、その第2電極(ソース電極またはドレイン電極)が出力端子OUTに接続されている。PMOSTランジスタP7は、そのゲート電極がノードG1に接続され、その第1電極(ドレイン電極またはソース電極)が出力端子OUTに接続され、その第2電極(ソース電極またはドレイン電極)が入出力端子YPADに接続されている。PMOSTランジスタP6は、そのゲート電極およびソース電極が内部電源VDDに接続され、ドレイン電極が出力端子OUTに接続されている。

【0020】PMOSTランジスタP2、P3、P4、P5、P7は共通のバルク(基板)Bに形成されている。このフローティングバルクBは、内部電源VDDおよび接地電源GNDのいずれにも接続されていないNウェルである。PMOSTランジスタP3およびP5のドレイン電極はフローティングバルクBに接続されている。PMOSTランジスタP1およびP6のバルクは内部電源VDDに接続されており、NMOSTランジスタN1~N5、N7、N9のバルクは接地電源GNDに接続されている。

【0021】入出力端子YPADには、PMOSTランジスタP2のドレイン電極と、P4、P5の各ソース電極と、P7の第2電極と、NMOSTランジスタN2のドレイン電極と、N7の第1電極とが接続されている。ノードPGには、NANDゲート1の出力端子と、PMOSTランジスタP1のゲート電極と、NMOSTランジスタN5のドレイン電極とが接続されている。ノードNGには、NORゲート2の出力端子と、インバータINV3の入力端子と、NMOSTランジスタN1のゲート電極とが接続されている。ノードG1には、PMOSTランジスタP2、P3、P7の各ゲート電極と、PMOSTランジスタP4のドレイン電極と、NMOSTランジスタN9のソース電極とが接続されている。ノードG2には、NMOSTランジスタN5のソース電極と、N4、N9の各ドレイン電極とが接続されている。ノードSには、PMOSTランジスタP1のドレイン電極と、P2、P3の各ソース電極とが接続されている。出力端子OUTには、インバータINV2の入力端子と、PMOSTランジスタP6のドレイン電極と、P7の第1電極と、NMOSTランジスタN7の第2電極とが接続されている。

【0022】次に、図1に示す入出力回路の動作を説明する。図2は図1に示す入出力回路が入力回路として動作したときの動作タイミング図であり、(a)および

(b) は各部の電圧波形、(c) は消費電流波形を示す。図1の入出力回路は、イネーブル入力端子EBが“L”レベルのとき、図示しない外部回路から入出力端子YPADに入力された信号を出力端子OUTから出力する入力回路として動作し、またイネーブル入力端子EBが“H”レベルのとき、入力端子INに入力された信号を入出力端子YPADから出力する出力回路として動作する。

【0023】まず、イネーブル入力端子EBが“L”レベル(0[V])に設定されているときの動作を説明する。NANDゲート1の出力すなわちノードPGは“H”レベル(3[V])となるので、PMOSトランジスタP1はOFFしている。インバータINV1の出力は“H”レベルとなり、NORゲート2の出力すなわちノードNGは“L”レベルとなるので、NMOSトランジスタN1はOFFしている。またイネーブル入力端子EBが“L”レベルなので、NMOSトランジスタN5はOFFしている。ノードNGが“L”レベルなので、インバータINV3の出力は“H”レベルとなり、これによりNMOSトランジスタN4はONしている。

【0024】このようにイネーブル入力端子EBが“L”レベルのとき、PMOSトランジスタP1、NMOSトランジスタN1はともにOFFしており、入力端子INのレベルにかかわらず、入出力端子YPADのインピーダンス(入出力端子YPADから入出力回路側を見たインピーダンス)は高インピーダンスとなる。すなわち、イネーブル入力端子EBが“L”レベルに設定されて入力回路として動作するとき、出力端子YPADは高インピーダンスとなる。

【0025】入出力端子YPADが“L”レベル(0[V])のとき、NMOSトランジスタN7はONしており、出力端子OUTは“L”レベルとなる。出力端子OUTが“L”レベルなので、インバータINV2の出力は“H”レベルとなり、これによりNMOSトランジスタN3はONしており、またN4もONしている。NMOSトランジスタN3およびN4がONしているの、ノードG2は“L”レベルとなっている。ノードG2が“L”レベルなので、NMOSトランジスタN9がONしており、これによりノードG1は“L”レベルとなっている。

【0026】次に入出力端子YPADが“L”レベルから外部電源VCCレベル(5[V])に変化すると、出力端子OUTは内部電源VDDレベルに変化する。ここで、説明の簡単化のため、PMOSトランジスタのしきい値電圧の絶対値と、NMOSトランジスタのしきい値とは等しいものとし、これを $V_{th}$ とする。

【0027】入出力端子YPADが $V_{th}$ まで上昇すると、ノードG1が“L”レベルなので、PMOSトランジスタP7がターンONする。またNMOSトランジスタN7は、入出力端子YPADの電位が $3[V] - V_{th}$

h以下であるときONしており、 $3[V] - V_{th}$ 以上となるとターンOFFする。従って、入出力端子YPADが $3[V]$ まで上昇したとき、PMOSトランジスタP7およびNMOSトランジスタN7により、出力端子OUTは $3[V] - V_{th}$ ではなく $3[V]$ まで上昇する。

【0028】また入出力端子YPADが $V_{th}$ まで上昇すると、ノードG1が“L”レベルなので、PMOSトランジスタP2がターンONする。PMOSトランジスタP2のターンONにより、ノードSは入出力端子YPADと同じ電位に上昇し、これによりPMOSトランジスタP3もターンONする。PMOSトランジスタP2およびP3のターンONにより、フローティングバルクBは入出力端子YPADと同じ電位となる。

【0029】入出力端子YPADおよび出力端子OUTが $3[V]$ に上昇すると、インバータINV2の出力が“H”レベルから“L”レベルに変化し、これによりNMOSトランジスタN3がターンOFFする。しかし、ノードG1は“L”レベルのままである。

【0030】さらに入出力端子YPADの電位が $3[V] + V_{th}$ に上昇すると、PMOSトランジスタP4およびP5がターンONする。PMOSトランジスタP4のターンONにより、ノードG1は“L”レベルから入出力端子YPADおよびノードSと同じ電位に変化する。ノードG1と入出力端子YPADとが同じ電位になることにより、PMOSトランジスタP7がターンOFFする。ノードG1と出力端子YPADとが同じ電位になることにより、PMOSトランジスタP2およびP3がターンOFFする。またPMOSトランジスタP5のターンONにより、フローティングバルクBの電位は入出力端子YPADと同じ電位となる。

【0031】そして、入出力端子YPADが最終的に外部電源電圧VCCレベル(5[V])となったとき、フローティングバルクB、ノードG1およびフローティングバルクBも $5[V]$ となる。もしも、PMOSトランジスタP7がターンOFFする前に、出力端子OUTの電位が $3[V] + V_{th}$ よりも高くなったときには、PMOSトランジスタP6がターンONし、このP6による順方向ダイオードにより、出力端子OUTの電位を $3[V] + V_{th}$ にクランプする。

【0032】上記のように、イネーブル入力端子EB=“L”レベルであり、入出力端子YPADが $5[V]$ であるとき、PMOSトランジスタP2およびP3がOFFしていることにより、PMOSトランジスタP1のドレイン電極(ノードS)はハイインピーダンスとなっており、ノードSおよびPMOSトランジスタP1のバルクを通して、入出力端子YPADから内部電源VDDにリーク電流が流れてしまうことはない。またフローティングバルクBは内部電源VDDには接続していないので、PMOSトランジスタP2のドレイン電極、および

P4、P5の各ソース電極を介してフローティングバルクBから内部電源VDDにリーク電流が流れてしまうこともない。またインバータINV2の入力端子は、インバータINV2内部の図示しないMOSトランジスタのゲート電極に接続されており、ハイインピーダンスとなっている。またNMOSトランジスタN1のドレインとバルクとは逆バイアスされており、N1のドレイン電極もハイインピーダンスとなっている。従って、出力端子OUTから接地電源GNDにリーク電流が流れてしまうこともない。

【0033】次に、イネーブル入力端子EBが“H”レベル（3[V]）に設定されているときの動作を説明する。このとき、図1の入出力回路は出力回路として動作し、入力端子INに入力された信号を入出力端子YPADから出力する。

【0034】入力端子INが“L”レベル（0[V]）のときは、NANDゲート1の出力すなわちノードPGは“H”レベルとなるので、PMOSトランジスタP1はOFFしている。またNORゲート2の出力すなわちノードNGは“H”レベルとなるので、NMOSトランジスタN1はONしている。従って入出力端子YPADは“L”レベル（0[V]）となっている。

【0035】入出力端子YPADが“L”レベルなので、NMOSトランジスタN7はONしており、これにより出力端子OUTは“L”レベルとなっている。インバータINV2の出力すなわちノードOUTNは“H”レベル（3[V]）となるので、NMOSトランジスタN3はONしている。またノードNGが“H”レベルなので、インバータINV3の出力は“L”レベルであり、従ってNMOSトランジスタN4はOFFしている。またイネーブル入力端子EBが“H”レベルなので、NMOSトランジスタN5のソース電極すなわちノードG2の電位は3[V] - V<sub>th</sub>となり、またNMOSトランジスタN9のソース電極すなわちノードG1の電位は3[V] - V<sub>th</sub>となっている。ノードG1および内部電源VDDの電位が入出力端子YPADの電位よりも高いので、PMOSトランジスタP2、P4、P5、P7はOFFしている。ノードSの電位は3[V] - V<sub>th</sub>以下となっており、PMOSトランジスタP3もOFFしている。

【0036】次に入力端子INを“L”レベルから“H”レベルに変化させると、NANDゲート1の出力すなわちノードPGは“H”レベルから“L”レベルに変化するので、PMOSトランジスタP1はターンONし、NMOSトランジスタN5もターンONする。またNORゲート2の出力は“H”から“L”に変化し、ノードNGは“L”レベルとなり、NMOSトランジスタN1はターンOFFする。またノードNGが“L”レベルとなると、インバータINV3の出力が、“L”レベルから“H”レベルに変化し、これによりNMOS

トランジスタN4がターンONする。MOSトランジスタN4、N5のターンONにより、ノードG2は“L”レベルとなり、これによりNMOSトランジスタN9がターンONし、ノードG1も“L”レベルとなる。

【0037】またPMOSトランジスタP1のターンONにより、ノードSが内部電源VDDレベル（3[V]）となる。ノードG1は“L”レベルなので、P

MOSトランジスタP2およびP3はターンONする。PMOSトランジスタP2のターンONにより、入出力

10 端子YPADは“L”レベルから内部電源VDDレベル（3[V]）に上昇する。またPMOSトランジスタP3のターンONにより、フローティングバルクBの電位は内部電源VDDレベル（3[V]）に上昇する。PMOSトランジスタP3は、フローティングバルクBの電位を3[V]まで確実に上昇させ、PMOSトランジスタP2の動作をより安定させるために設けられたものである。

【0038】入出力端子YPADがV<sub>th</sub>に上昇すると、PMOSトランジスタP7がターンONし、入出力端子YPADが内部電源VDDレベル（3[V]）に上昇すると、出力端子OUTも内部電源VDDレベル（3[V]）に上昇し、これによりNMOSトランジスタN7はターンOFFする。またインバータINV2の出力すなわちノードOUTNは“L”レベルに変化するの

で、NMOSトランジスタN3はターンOFFする。しかし、ノードG1は“L”レベルのままである。

【0039】このように第1の実施形態によれば、入出力端子YPADに5[V]が入力されたとき、NMOSトランジスタN7だけでは内部電源VDDレベル（3[V]）まで上昇せず、出力端子OUTに接続される内部回路におけるVIHマージンが不足するという問題を、フローティングバルクBに形成したPMOSトランジスタP7により、出力端子OUTを内部電源VDDまで上昇させることができ、内部入力回路のVIHマージンを十分に満たすことができる。また、入出力端子YPADに内部電源VDD以上の電圧が入力されても、PMOSトランジスタP7がOFFするので、出力端子OUTは内部電源VDDレベルとなる。また、図2(c)に示すように、入出力波形（入出力端子YPAD）の立ち上がり時以外においては、入出力端子YPADから内部電源VDDへの電流の流れ込みは発生しない。

【0040】尚、電源電圧=3Vに対して、外部入力=5Vで説明したが、他の条件でも構わない。内部電源電圧よりも外部電源電圧が高い条件に対して有効である。

【0041】第2の実施形態

図3は本発明の第2の実施形態の出力回路を示す回路図である。図3に示す出力回路は、LSIチップに内蔵されており、入力端子INと、イネーブル入力端子EBと、出力端子OUTと、2入力のNANDゲート1と、2入力のNORゲート2と、PMOSトランジスタP1

50

～P5と、NMOSトランジスタN1およびN3と、インバータINV1およびINV2とを有する。このLSIチップの内部電源VDDは例えば3[V]である。出力端子OUTは、このLSIチップの外部に信号電圧を出力するための端子である。この出力端子OUTには、LSIチップの外部に設けられたプルアップ抵抗R1の一端が接続されている。このプルアップ抵抗R1は、その他端が例えば5[V]の外部電源VCCに接続されており、出力端子OUTを例えば5[V]にプルアップするための抵抗である。

【0042】NANDゲート1は、その第1入力端子が入力端子INに接続され、その第2入力端子がインネーブル入力端子EBに接続され、その出力端子が内部ノードPGに接続されている。NORゲート2は、その第1入力端子が入力端子INに接続され、その第2入力端子がインバータINV1を介してインネーブル入力端子EBに接続され、その出力端子が内部ノードNGに接続されている。インバータINV2は、その入力端子が出力端子OUTに接続され、その出力端子が内部ノードOUTNに接続されている。

【0043】NMOSトランジスタN1は、そのゲート電極がノードNGに接続され、そのドレイン電極が出力端子OUTに接続され、そのソース電極が接地電源GNDに接続されている。NMOSトランジスタN3は、そのゲート電極がノードOUTNに接続され、そのドレイン電極が内部ノードGに接続され、そのソース電極が接地電源GNDに接続されている。

【0044】PMOSTランジスタP1は、そのゲート電極がノードPGに接続され、そのソース電極が内部電源VDDに接続され、そのドレイン電極は内部ノードSに接続されている。PMOSTランジスタP2は、そのゲート電極がノードGに接続され、そのドレイン電極が出力端子OUTに接続され、そのソース電極がノードSに接続されている。PMOSTランジスタP3は、そのゲート電極がノードGに接続され、そのソース電極がノードSに接続されている。PMOSTランジスタP4は、そのゲート電極がノードOUTNに接続され、そのドレイン電極がノードGに接続され、そのソース電極が出力端子OUTに接続されている。PMOSTランジスタP5は、そのゲート電極が内部電源VDDに接続され、そのソース電極が出力端子OUTに接続されている。

【0045】PMOSTランジスタP2、P3、P4、P5は共通のバルク（基板）Bに形成されている。このフローティングバルクBは、内部電源VDDおよび接地電源GNDのいずれにも接続されていないNウェルである。PMOSTランジスタP3およびP5のドレイン電極はフローティングバルクBに接続されている。PMOSTランジスタP1のバルクは内部電源VDDに接続されており、NMOSTランジスタN1およびN3のバル

クは接地電源GNDに接続されている。

【0046】出力端子OUTには、PMOSTランジスタP2のドレイン電極と、P4、P5の各ソース電極と、NMOSTランジスタN1のドレイン電極と、インバータINV2の入力端子とが接続されている。ノードGには、PMOSTランジスタP2、P3の各ゲート電極と、P4のドレイン電極と、NMOSTランジスタN3のドレイン電極とが接続されている。ノードSには、PMOSTランジスタP1のドレイン電極と、P2、P3の各ソース電極とが接続されている。ノードOUTNには、インバータINV2の出力端子と、PMOSTランジスタP4、NMOSTランジスタN3の各ゲート電極とが接続されている。

【0047】次に、図3に示した出力回路の動作を説明する。図4は図3に示す出力回路の動作タイミング図であり、(a)は各部の電圧波形、(b)は消費電流波形を示す。まず、インネーブル入力端子EBが“L”レベル（0[V]）に設定されているときの動作を説明する。NANDゲート1の出力すなわちノードPGは“H”レベル（3[V]）となるので、PMOSTランジスタP1はOFFしている。またインバータINV1の出力は“H”レベルとなり、NORゲート2の出力すなわちノードNGは“L”レベルとなるので、NMOSTランジスタN1はOFFしている。このようにインネーブル入力端子EBが“L”レベルのときは、PMOSTランジスタP1、NMOSTランジスタN1はともにOFFしており、入力端子INのレベルにかかわらず、出力端子OUTは高インピーダンスとなる。このとき、出力端子OUTは、外部のプルアップ抵抗R1により、外部電源VCCレベル（5[V]）となる。

【0048】出力端子OUTが5[V]なので、インバータINV2の出力すなわちノードOUTNは“L”レベルとなっており、NMOSTランジスタN3はOFFしている。ノードOUTNは“L”レベルであり、出力端子OUTが5[V]なので、PMOSTランジスタP4はONしており、ノードGの電位は出力端子OUTと同じ5[V]になっている。また出力端子OUTが5[V]なので、そのゲート電極が内部電源VDD（3[V]）に接続されているPMOSTランジスタP5はONしており、これによりフローティングバルクBの電位は出力端子OUTと同じ5[V]になっている。

【0049】出力端子OUTおよびノードGの電位がともに5[V]なので、PMOSTランジスタP2はOFFしている。また出力端子OUTおよびフローティングバルクBの電位がともに5[V]なので、PMOSTランジスタP3もOFFしている。

【0050】PMOSTランジスタP2およびP3がOFFしていることにより、PMOSTランジスタP1のドレイン電極（ノードS）はハイインピーダンスとなっており、ノードSおよびPMOSTランジスタP1のパ

ルクを通して、出力端子OUTから内部電源VDDにリーク電流が流れてしまうことはない。またフローティングバルクBは内部電源VDDには接続していないので、PMOSTランジスタP2のドレイン、およびP4、P5のソースを介してフローティングバルクBから内部電源VDDにリーク電流が流れてしまうこともない。またインバータINV2の入力端子は、インバータINV2内部の図示しないMOSTランジスタのゲート電極に接続されており、ハイインピーダンスとなっている。またNMOSTランジスタN1のドレインとバルクとは逆バイアスされており、N1のドレイン電極もハイインピーダンスとなっている。従って、出力端子OUTから接地電源GNDにリーク電流が流れてしまうこともない。

【0051】次に、イネーブル入力端子EBが“H”レベル（3[V]）に設定されているとき動作を説明する。入力端子INが“L”レベル（0[V]）のとき、NANDゲート1の出力すなわちノードPGは“H”レベル（3[V]）となり、PMOSTランジスタP1はOFFしている。NORゲート2の出力すなわちノードNGは“H”レベルとなり、NMOSTランジスタN1はONしている。従って、出力端子OUTは“L”レベル（0[V]）となっている。

【0052】インバータINV2の出力すなわちノードOUTNは“H”レベル（3[V]）である。ノードOUTNが“H”レベルなので、NMOSTランジスタN3はONしており、またPMOSTランジスタP4はOFFしている。従ってノードGは“L”レベルとなっている。出力端子OUTとノードGとがともに“L”レベルなので、PMOSTランジスタP2はOFFしている。ノードSの電位は $V_{th}$ 以下になっており、PMOSTランジスタP3はOFFしている（出力端子OUTが“L”レベルとなったとき、ノードSの電位が $V_{th}$ より高い場合には、PMOSTランジスタP2、P3がONしてノードSの電位を $V_{th}$ まで降下させ、そのあとP2、P3がターンOFFする）。また出力端子OUTが“L”レベルなので、PMOSTランジスタP5もOFFしている。

【0053】次に入力端子INを“L”レベルから“H”レベルへ変化させると、NANDゲート1の出力すなわちノードPGは“H”レベルから“L”レベルに変化し、PMOSTランジスタP1はターンONする。またNORゲート2の出力すなわちノードNGは“H”から“L”に変化し、NMOSTランジスタN1はターンOFFする。

【0054】PMOSTランジスタP1がターンONすると、ノードSが内部電源VDDレベル（3[V]）となる。ノードGは“L”レベルなので、PMOSTランジスタP2およびP3はターンONする。PMOSTランジスタP2のターンONにより、出力端子OUTは“L”レベルから内部電源VDDレベル（3[V]）に上

昇する。またPMOSTランジスタP3のターンONにより、フローティングバルクBの電位は内部電源VDDレベル（3[V]）に上昇する。PMOSTランジスタP3は、フローティングバルクBの電位を3[V]まで確実に上昇させ、PMOSTランジスタP2の動作をより安定させるために設けられたものである。

【0055】出力端子OUTが内部電源VDDレベル（3[V]）に上昇すると、インバータINV2の出力すなわちノードOUTNは“L”レベルに変化し、これによりNMOSTランジスタN3がターンOFFし、またPMOSTランジスタP4がターンONする。PMOSTランジスタP4のターンONにより、ノードGの電位は、“L”レベルから出力端子OUTと同じ電位に上昇する。ノードGと出力端子OUTとが同じ電位になったことにより、PMOSTランジスタP2およびP3はターンOFFする。

【0056】このあと、プルアップ抵抗R1により、出力端子OUTは外部電源VCCレベル（5[V]）まで上昇する。出力端子OUTが5[V]となると、ノードGも5[V]となる。またPMOSTランジスタP5がターンONし、これによりフローティングバルクBも5[V]となる。

【0057】イネーブル入力端子EB=“H”レベルであり、入力端子IN=“H”であるときには、上記イネーブル入力端子EB=“L”レベルのときと同様に、PMOSTランジスタP2およびP3がOFFしていることにより、PMOSTランジスタP1のドレイン電極（ノードS）はハイインピーダンスとなっており、ノードSおよびPMOSTランジスタP1のバルクを通して、出力端子OUTから内部電源VDDにリーク電流が流れてしまうことはない。またフローティングバルクBは内部電源VDDには接続していないので、PMOSTランジスタP2のドレイン、およびP4、P5のソースを介してフローティングバルクBから内部電源VDDにリーク電流が流れてしまうこともない。またインバータINV2の入力端子は、インバータINV2内部の図示しないMOSTランジスタのゲート電極に接続されており、ハイインピーダンスとなっている。またNMOSTランジスタN1のドレインとバルクとは逆バイアスされており、N1のドレイン電極もハイインピーダンスとなっている。従って、出力端子OUTから接地電源GNDにリーク電流が流れてしまうこともない。

【0058】このように第2の実施形態によれば、出力波形立ち上がり時において、内部電源電圧VDDレベルまでは外部のプルアップ抵抗R1に依存せずに、高速動作が可能となる。その後、抵抗R1を介して外部電源VCCレベル（5[V]）となるが出力波形の立ち上がり時以外においては、内部電源電圧VDDへの電流の流れ込みは発生しない。そのため、5[V]で動作する外部回路にインターフェースするとき、外部回路のしきい値



電圧 $V_{TH}$  (2.5 [V])までは高速に動作でき、外部回路における $V_{IH}$  (3.5 [V])も保証できるようになる。また、プルアップ抵抗 $R_1$ の値が大きい場合でも、上記の $V_{TH}$ までは高速動作することができるため、低消費電力化が可能となる。

【0059】尚、電源電圧=3Vに対して、外部入力=5Vで説明したが、他の条件でも構わない。内部電源電圧よりも外部電源電圧が高い条件に対して有効である。

【0060】第3の実施形態

図5は本発明の第3の実施形態の出力回路を示す回路図である。図5に示す出力回路は、LSIチップに内蔵されており、入力端子INと、イネーブル入力端子EBと、出力端子OUTと、2入力のNANDゲート1と、2入力のNORゲート2と、PMOSTランジスタP1~P5と、NMOSTランジスタN1およびN3と、インバータINV1およびINV2と、遅延回路DL1とを有する。出力端子OUTにはプルアップ抵抗 $R_1$ が接続されている。図5において、図3と共通する部分については同一符号を付してある。

【0061】図5に示す出力回路は、図3の出力回路において、ノードOUTNとPMOSTランジスタP4のゲート電極との間に、遅延回路DL1を設けたものである。PMOSTランジスタP4のゲート電極はノードOUTNには接続していない。P4のゲート電極に接続するノードをOUTNDとする。

【0062】遅延回路DL1は、その入力端子がノードOUTNに接続され、その出力端子がノードOUTNDに接続されており、ノードOUTNが“H”レベルから“L”レベルに変化したときに、設定された遅延時間が経過してからノードOUTNDを“H”レベルから“L”レベルに変化させる。

【0063】次に図5に示した出力回路の動作を説明する。図6は図5に示す出力回路の動作タイミング図であり、(a)は各部の電圧波形、(b)は消費電流波形を示す。図5に示す出力回路の動作は、図3に示した第2の実施形態の出力回路の動作とほぼ同じである。ただし、以下に説明する動作、すなわちイネーブル入力端子EBが“H”レベルに設定されており、入力端子INが“L”レベルから“H”レベルに変化するときの動作が図3の出力回路とは異なる。

【0064】入力端子INが“L”レベルから“H”レベルに変化し、出力端子OUTが内部電源VDDレベル(3 [V])に上昇すると、インバータINV2の出力すなわちノードOUTNは“H”レベルから“L”レベルに変化し、NMOSTランジスタN3はターンOFFする。

【0065】遅延回路DL1は、ノードOUTNが“L”レベルに変化してから、所定時間を経過してから、ノードOUTNDを“H”レベルから“L”レベルに変化させる。従って、PMOSTランジスタP4は、NM

OSTランジスタN3のターンOFFと同時にターンONせず、ノードOUTNの“L”レベルへの変化から、所定時間を経過してからターンONする。すなわち、上記第2の実施形態よりも、PMOSTランジスタP4がターンONするタイミングが遅くなり、従ってPMOSTランジスタP2、P3がターンOFFするタイミングが遅くなる。

【0066】このように第3の実施形態によれば、第2の実施形態の効果に加え、ノードOUTNとPMOSTランジスタP4のゲート電極との間に遅延回路DL1を設けることにより、出力波形立ち上がり時において、PMOSTランジスタP4がOFFしている時間を確実に長くすることができ、調節も容易になる。これによりPMOSTランジスタP2がONしている時間を長くすることができるので、内部電源VDDまでの高速動作が可能となる。

【0067】第4の実施形態

図7は本発明の第4の実施形態の出力回路を示す回路図である。図7に示す出力回路は、LSIチップに内蔵されており、入力端子INと、イネーブル入力端子EBと、出力端子OUTと、2入力のNANDゲート1と、2入力のNORゲート2と、PMOSTランジスタP1~P7と、NMOSTランジスタN1~N4、N7と、インバータINV1およびINV2とを有する。出力端子OUTにはプルアップ抵抗 $R_1$ が接続されている。図7において、図3と共通する部分については同一符号を付してある。

【0068】図7に示す出力回路は、図3の出力回路において、NMOSTランジスタN2、N4、N7と、PMOSTランジスタP6、P7とを設け、PMOSTランジスタP4のゲートを、ノードOUTNではなく、NMOSTランジスタN3のドレイン電極に接続したものである。NMOSTランジスタN3のドレイン電極とPMOSTランジスタP4のゲート電極とに接続するノードをSP4とする。

【0069】NMOSTランジスタN2は、そのゲート電極が内部電源VDDに接続され、そのドレイン電極が出力端子OUTに接続され、そのソース電極がNMOSTランジスタN1のドレイン電極に接続されている。NMOSTランジスタN1のドレイン電極は出力端子OUTには接続されていない。NMOSTランジスタN4は、そのゲート電極が内部電源VDDに接続され、そのドレイン電極がノードGに接続され、そのソース電極がノードSP4に接続されている。NMOSTランジスタN3のドレイン電極はノードGには接続されていない。

【0070】NMOSTランジスタN7およびPMOSTランジスタP7は、ともに出力端子OUTとインバータINV2の入力端子との間に設けられている。インバータINV2の入力端子は、出力端子OUTには接続されていない。INV2の入力端子に接続するノードをY



とする。PMOSTランジスタP6は、そのゲート電極およびソース電極が内部電源VDDに接続され、ドレイン電極がノードYに接続されている。このダイオード接続されたPMOSTランジスタP6は、ノードYが内部電源VDDより低電位である限りOFFしたままである。

【0071】NMOSTランジスタN7は、そのゲート電極が内部電源VDDに接続され、その第1電極（ドレイン電極またはソース電極）が出力端子OUTに接続され、その第2電極（ソース電極またはドレイン電極）がノードYに接続されている。PMOSTランジスタP7は、そのゲート電極がノードGに接続され、その第1電極（ドレイン電極またはソース電極）がノードYに接続され、その第2電極（ソース電極またはドレイン電極）が出力端子OUTに接続されている。

【0072】出力端子OUTには、PMOSTランジスタP2のドレイン電極と、P4、P5の各ソース電極と、P7の第2電極と、NMOSTランジスタN2のドレイン電極と、N7の第1電極とが接続されている。ノードGには、PMOSTランジスタP2、P3、P7の各ゲート電極と、P4のドレイン電極と、NMOSTランジスタN4のドレイン電極とが接続されている。ノードOUTNには、インバータINV2の出力端子と、NMOSTランジスタN3のゲート電極とが接続されている。

【0073】次に、図7に示す出力回路の動作を説明する。図8は図7に示す出力回路の動作タイミング図であり、(a)は各部の電圧波形、(b)は消費電流波形を示す。まず、イネーブル入力端子EBが“L”レベル

(0 [V]) に設定されているときの動作を説明する。NANDゲート1の出力すなわちノードPGは“H”レベル(3 [V])となるので、PMOSTランジスタP1はOFFしている。またNORゲート2の出力すなわちノードNGは“L”レベルとなるので、NMOSTランジスタN1はOFFしている。このようにイネーブル入力端子EBが“L”レベルのとき、PMOSTランジスタP1、NMOSTランジスタN1はともにOFFしており、入力端子INのレベルにかかわらず、入出力端子YPADは高インピーダンスとなる。このとき、出力端子OUTは、外部のプルアップ抵抗R1により、外部電源VCCレベル(5 [V])となる。出力端子OUTが5 [V]であり、ノードSP4の電位は $VDD - V_{th}$ より高くなることはないので、PMOSTランジスタP4はONしており、ノードGの電位は出力端子OUTと同じ5 [V]になっている。また出力端子OUTが5 [V]なので、PMOSTランジスタP5はONしており、これによりフローティングバルクBの電位は出力端子OUTと同じ5 [V]になっている。出力端子OUTおよびノードGの電位がともに5 [V]なので、PMOSTランジスタP2はOFFしている。また出力端子O

UTおよびフローティングバルクBの電位がともに5 [V]なので、PMOSTランジスタP3もOFFしている。

【0074】出力端子OUTおよびノードGが5 [V]なので、PMOSTランジスタP7およびNMOSTランジスタN7はともにOFFしている。出力端子OUTが5 [V]に上昇するとき、PMOSTランジスタP7はノードYを3 [V]まで上昇させてからOFFするので、ノードYは3 [V]である。従ってインバータINV2の出力すなわちノードOUTNは“L”レベルとなっており、NMOSTランジスタN3はOFFしている。ノードGの電位が5 [V]なので、NMOSTランジスタN4のソース電極すなわちノードSP4の電位は5 [V] -  $2V_{th}$ となっている。

【0075】上記のように、イネーブル入力端子EBが“L”レベルに設定されているとき、PMOSTランジスタP2およびP3がOFFしていることにより、PMOSTランジスタP1のドレイン電極（ノードS）はハイインピーダンスとなっており、ノードSおよびPMOSTランジスタP1のバルクを通して、入出力端子YPADから内部電源VDDにリーク電流が流れてしまうことはない。またフローティングバルクBは内部電源VDDには接続していないので、PMOSTランジスタP2のドレイン電極、およびP4、P5の各ソース電極を介してフローティングバルクBから内部電源VDDにリーク電流が流れてしまうこともない。またインバータINV2の入力端子は、インバータINV2内部の図示しないMOSTランジスタのゲート電極に接続されており、ハイインピーダンスとなっている。またNMOSTランジスタN1のドレインとバルクとは逆バイアスされており、N1のドレイン電極もハイインピーダンスとなっている。従って、出力端子OUTから接地電源GNDにリーク電流が流れてしまうこともない。

【0076】次に、イネーブル入力端子EBが“H”レベル(3 [V])に設定されているときの動作を説明する。入力端子INが“L”レベル(0 [V])のときは、NANDゲート1の出力すなわちノードPGは“H”レベルとなるので、PMOSTランジスタP1はOFFしている。またNORゲート2の出力すなわちノードNGは“H”レベルとなるので、NMOSTランジスタN1はONしている。従って出力端子OUTは“L”レベル(0 [V])となっている。

【0077】出力端子OUTが“L”レベルなので、NMOSTランジスタN7はONしており、これによりノードYは“L”レベルとなっている。インバータINV2の出力すなわちノードOUTNは“H”レベル(3 [V])となるので、NMOSTランジスタN3はONしており、またN4もONしている。NMOSTランジスタN3およびN4がONしているため、ノードGおよびノードSP4はともに“L”レベルとなっている。ノ

ードGと出力端子OUTがともに" L" レベル (0 [V]) なので、PMOSTランジスタP2、P4、P5、P7はOFFしている。またノードSの電位は $V_{th}$ 以下となっており、PMOSTランジスタP3もOFFしている。

【0078】次に入力端子INを" L" レベルから" H" レベルに変化させると、NANDゲート1の出力すなわちノードPGは" H" レベルから" L" レベルに変化するので、PMOSTランジスタP1はターンONする。またNORゲート2の出力は" H" から" L" に変化し、ノードNGは" L" レベルとなり、NMOSTランジスタN1はターンOFFする。

【0079】PMOSTランジスタP1のターンONにより、ノードSが内部電源VDDレベル (3 [V]) となる。ノードGは" L" レベルなので、PMOSTランジスタP2およびP3はターンONする。PMOSTランジスタP2のターンONにより、出力端子OUTは" L" レベルから内部電源VDDレベル (3 [V]) に上昇する。またPMOSTランジスタP3のターンONにより、フローティングバルクBの電位は内部電源VDDレベル (3 [V]) に上昇する。

【0080】出力端子OUTが $V_{th}$ に上昇すると、PMOSTランジスタP4、P7がターンONし、ノードYの電位は、出力端子OUTと同じになる。ノードGはNMOSTランジスタN3がOFFするまで" L" レベルにクランプされる。さらに出力端子OUTおよびノードGが内部電源レベル (3 [V]) に上昇すると、インバータINV2の出力すなわちノードOUTNが" L" レベルに変化するので、NMOSTランジスタN3はターンOFFする。NMOSTランジスタN3のターンOFFにより、ノードGの電位は出力端子OUTと同じ3 [V] となり、これにより、PMOSTランジスタP7がターンOFFする。また出力端子ノードSP4の電位は3 [V] -  $V_{th}$ となる。ノードGとノードSの電位が同じになるので、PMOSTランジスタP2、P3がターンOFFする。

【0081】このあと、プルアップ抵抗R1により、出力端子OUTは外部電源VCCレベル (5 [V]) まで上昇する。PMOSTランジスタP4はONしたままである。出力端子OUTが3 [V] +  $V_{th}$ に上昇すると、PMOSTランジスタP5がターンONする。PMOSTランジスタP5のターンONにより、フローティングバルクBの電位は出力端子OUTと同じ電位となる。そして、出力端子OUTが最終的に外部電源電圧VCCレベル (5 [V]) となったとき、ノードGおよびフローティングバルクBも5 [V] となる。もしも、PMOSTランジスタP7がターンOFFする前に、出力端子OUTの電位が3 [V] +  $V_{th}$ よりも高くなったときには、PMOSTランジスタP6がターンONして、出力端子OUTの電位を3 [V] +  $V_{th}$ にクラン

プする。

【0082】このように、イネーブル入力端子EBが" H" レベルであり、入力端子INが" H" であるときにも、上記のイネーブル入力端子EBが" L" レベルのときと同様に、PMOSTランジスタP2およびP3がOFFしていることにより、ノードSおよびPMOSTランジスタP1のバルクを通して内部電源VDDにリーク電流が流れてしまうことはない。またフローティングバルクBは内部電源VDDには接続していないので、フローティングバルクBから内部電源VDDにリーク電流が流れてしまうこともない。またインバータINV2の入力端子およびNMOSTランジスタN1のドレインから接地電源GNDにリーク電流が流れてしまうこともない。

【0083】このように第4の実施形態によれば、上記第2の実施形態の効果に加え、PMOSTランジスタP4、P7、NMOSTランジスタN2、N4、N7により、1つのMOSTランジスタのソース/ドレイン間、ゲート/ソース間、およびゲート/ドレイン間に5 [V] が加わることがないので、耐圧の弱いプロセスにも対応することができる。

【0084】第5の実施形態

図9は本発明の第5の実施形態の出力回路を示す回路図である。図9に示す出力回路は、LSIチップに内蔵されており、入力端子INと、イネーブル入力端子EBと、セレクト入力端子SELと、出力端子OUTと、2入力のNANDゲート1と、2入力のNORゲート2および3と、PMOSTランジスタP1~P8と、NMOSTランジスタN1~N8と、インバータINV1およびINV4とを有する。図9に示す出力回路は、出力端子OUTにプルアップ抵抗R1が接続されている場合と、そうでない場合のいずれにも対応することができる。図9において、図5と共通する部分については同一符号を付してある。

【0085】図9に示す出力回路は、図5の出力回路において、NMOSTランジスタN5、N6、N8と、PMOSTランジスタP8と、NANDゲート2と、インバータINV4とを設け、インバータINV2を取り外したものである。インバータINV4は、その入力端子がセレクト入力端子SELに接続され、その出力端子が内部ノードISに接続されている。NORゲート3は、その第1入力端子がノードISに接続され、その第2入力端子がノードYに接続され、その出力端子がノードOUTNに接続されている。

【0086】NMOSTランジスタN5は、そのゲート電極がノードISに接続され、そのドレイン電極がノードPGに接続されている。NMOSTランジスタN6は、そのゲート電極が内部電源VDDに接続され、そのドレイン電極がNMOSTランジスタN5のソース電極に接続され、そのソース電極がノードGに接続されてい

10

20

30

40

50

る。

【0087】NMOSトランジスタN8は、そのゲート電極がセレクト入力端子SELに接続され、その第1電極（ドレイン電極またはソース電極）がノードSP4に接続され、その第2電極（ソース電極またはドレイン電極）は内部ノードSNに接続されている。NMOSトランジスタN3のドレイン電極およびNMOSトランジスタN4のソース電極は、ノードSP4に接続せずに、ノードSNに接続されている。PMOSTランジスタP8は、そのゲート電極がセレクト入力端子SELに接続され、そのドレイン電極がノードSP4に接続され、そのソース電極は内部電源VDDに接続されている。

【0088】図10はLSI40（3[V]）の内部電源VDD）に内蔵された第5の実施形態の出力回路42（図9参照）と、外部電源VCCで動作する外部回路43との接続例を示す図であり、（a）は外部電源VCCが3[V]のときの接続例を示し、（b）は外部電源VCCが5[V]のときの接続例を示す。図10（b）においては、出力回路42の出力端子OUTに、一端が外部電源VCCに接続されたプルアップ抵抗R1の他端を

接続する。  
【0089】次に、図9に示す出力回路の動作を説明する。図11は図9に示す出力回路の動作タイミング図であり、（a）はセレクト入力端子SELが“L”レベルに設定されているときの各部の電圧波形、（b）はセレクト入力端子SELが“H”レベルに設定されているときの各部の電圧波形を示す。イネーブル入力端子EBは“H”レベル（3[V]）に設定されているものとする。

【0090】まず、セレクト入力端子SELが“L”レベルに設定されているときの動作を説明する。このとき図9に示す出力回路（図10における出力回路42）は、図10（a）のように接続される。入力端子INが“L”レベルのとき、NANDゲート1の出力すなわちノードPGは“H”レベルとなるので、PMOSTランジスタP1はOFFしている。またNORゲート2の出力すなわちノードNGは“H”レベルとなるので、NMOSTランジスタN1はONしている。従って出力端子OUTは“L”レベル（0[V]）となっている。

【0091】出力端子OUTが“L”レベルなので、NMOSTランジスタN7はONしており、これによりノードYは“L”レベルとなっている。しかし、ノードISは“H”レベルであるため、NOR3の出力すなわちノードOUTNは、ノードYのレベルにかかわらず“L”レベルとなり、NMOSTランジスタN3はOFFしている。またノードISが“H”レベルなので、NMOSTランジスタN5もONしている。NMOSTランジスタN4およびN6がONしており、ノードPGが“H”レベルなので、ノードGの電位はVDD-Vthとなっている。セレクト入力端子SELが“L”レベルな

ので、NMOSTランジスタN8はOFFしており、またPMOSTランジスタP8はONしている。従ってノードSP4は内部電源VDDレベル（3[V]）となっている。ノードGがVDD-Vthであり、出力端子OUTが“L”レベル（0[V]）であり、ノードSP4が3[V]なので、PMOSTランジスタP2、P4、P5、P7はOFFしている。

【0092】次に入力端子INを“L”レベルから“H”レベルに変化させると、NANDゲート1の出力すなわちノードPGは“H”レベルから“L”レベルに変化する。従ってPMOSTランジスタP1はターンONする。またNORゲート2の出力すなわちノードNGは“H”から“L”に変化する。従ってNMOSTランジスタN1はターンOFFする。

【0093】PMOSTランジスタP1のターンONにより、ノードSが内部電源VDDレベル（3[V]）となる。ノードPGが“L”レベルとなるので、ノードGはVDD-Vthから“L”レベル（0[V]）に変化する。従ってPMOSTランジスタP2およびP3はターンONする。PMOSTランジスタP2のターンONにより、出力端子OUTは“L”レベルから内部電源VDDレベル（3[V]）に上昇する。またPMOSTランジスタP3のターンONにより、フローティングバルクBの電位は内部電源VDDレベル（3[V]）に上昇する。

【0094】出力端子OUTがVthに上昇したとき、PMOSTランジスタP7がターンONし、ノードYの電位は、出力端子OUTと同じになる。PMOSTランジスタP4はOFFのままである。

【0095】次に、セレクト入力端子SELが“H”レベルに設定されているときの動作を説明する。このとき図9に示す出力回路（図10における出力回路42）は、図10（b）のように接続される。入力端子INが“L”レベル（0[V]）のときは、NANDゲート1の出力すなわちノードPGは“H”レベルとなるので、PMOSTランジスタP1はOFFしている。またNORゲート2の出力すなわちノードNGは“H”レベルとなるので、NMOSTランジスタN1はONしている。従って出力端子OUTは“L”レベル（0[V]）となっている。

【0096】出力端子OUTが“L”レベルなので、NMOSTランジスタN7はONしており、これによりノードYは“L”レベルとなっている。ノードISが“L”レベルとなるので、NOR3の出力すなわちノードOUTNは“H”レベルとなり、NMOSTランジスタN3はONしている。またノードISが“L”レベルなので、NMOSTランジスタN5は常にOFFしている。従ってノードGの電位は“L”レベルとなっている。セレクト入力端子SELが“H”レベルなので、NMOSTランジスタN8はONしており、またPMOS

トランジスタP8はOFFしている。従ってノードSP4は" L " レベルとなっている。ノードG、ノードSP4、および出力端子OUTがともに" L " レベル(0 [V])なので、PMOSTランジスタP2、P4、P5、P7はOFFしている。

【0097】次に入力端子INを" L " レベルから" H " レベルに変化させると、NANDゲート1の出力すなわちノードPGは" H " レベルから" L " レベルに変化するので、PMOSTランジスタP1はターンONする。またNORゲート2の出力は" H " から" L " に変化し、ノードNGは" L " レベルとなり、NMOSTランジスタN1はターンOFFする。

【0098】PMOSTランジスタP1のターンONにより、ノードSが内部電源VDDレベル(3 [V])となる。ノードGは" L " レベルなので、PMOSTランジスタP2およびP3はターンONする。PMOSTランジスタP2のターンONにより、出力端子OUTは" L " レベルから内部電源VDDレベル(3 [V])に上昇する。またPMOSTランジスタP3のターンONにより、フローティングバルクBの電位は内部電源VDDレベル(3 [V])に上昇する。

【0099】出力端子OUTがV<sub>th</sub>に上昇したとき、PMOSTランジスタP4、P7がターンONし、これによりノードGおよびノードYの電位は出力端子OUTと同じになる。出力端子OUTおよびノードGが内部電源レベル(3 [V])に上昇しても、PMOSTランジスタP4はONしたままである。ノードGの電位が出力端子OUTと同じになると、PMOSTランジスタP7がターンOFFする。またノードGが内部電源レベル(3 [V])に上昇すると、ノードGとノードSの電位が同じになるので、PMOSTランジスタP2、P3がターンOFFする。

【0100】このあと、プルアップ抵抗R1により、出力端子OUTは外部電源VCCレベル(5 [V])まで上昇する。PMOSTランジスタP4はONしたままである。出力端子OUTが3 [V] + V<sub>th</sub>に上昇すると、PMOSTランジスタP5がターンONする。PMOSTランジスタP5のターンONにより、フローティングバルクBの電位は出力端子OUTと同じ電位となる。そして、出力端子OUTが最終的に外部電源電圧VCCレベル(5 [V])となったとき、ノードGおよびフローティングバルクBも5 [V]となる。

【0101】このように第5の実施形態によれば、セレクト入力端子SELにより、外部電源VCC(5 [V])までの出力振幅が可能となり、また外部に設けたプルアップ抵抗R1に頼らず内部電源電圧VDDレベル(3 [V])までの出力振幅が可能となる。すなわち、図10に示すように3 [V]動作の外部回路と5

[V]動作の外部回路のいずれにも同じLSIチップでインターフェースすることができる。

【0102】尚、セレクト入力端子SELの電圧レベル設定は、LSI外部からSEL信号を入力するようにしても良く、またLSI内部でSEL信号を生成するようにしても良い。

【0103】第6の実施形態

図12は本発明の第6の実施形態の入力回路を示す回路図である。図12に示す入力回路は、LSIチップに内蔵されており、入力端子INと、出力端子OUTと、PMOSTランジスタP31、P32と、NMOSTランジスタN31~N37と、インバータINV31、INV32と、抵抗R31とを有する。このLSIチップの内部電源VDDは、ここでは3 [V]であるとする。図12に示す入力回路は、同一LSIに内蔵された、上記第5の実施形態の出力回路等の、出力回路に用いられるセレクト信号SELを生成する回路である。入力端子INは、図示しない外部回路あるいは外部回路の電源VCCに接続され、外部回路の" H " レベルが内部電源VDDと同じであるか、内部電源VDDより高いレベル(例えば5 [V])であるかを検出するための端子である。

【0104】NMOSTランジスタN31は、そのゲート電極が内部電源VDDに接続され、そのドレイン電極が入力端子INに接続されている。NMOSTランジスタN32は、そのゲート電極およびソース電極が接地電源GNDに接続され、そのドレイン電極がNMOSTランジスタN31のソース電極に接続されている。抵抗R31は、その一端が入力端子INに接続され、他端がノードIN1に接続されている。PMOSTランジスタP31は、そのゲート電極がノードIN1に接続され、そのソース電極が内部電源VDDに接続され、そのドレイン電極とバルクとが共通接続されている。PMOSTランジスタP32は、そのゲート電極が内部電源VDDに接続され、そのドレイン電極がノードIN2に接続され、そのソース電極がノードN1に接続され、そのバルクがPMOSTランジスタP31のドレインおよびバルクに接続されている。PMOSTランジスタP31およびP32のバルクは内部電源VDDには接続されおらず、これにより入力端子INから内部電源VDDに電流が流れ込むのを防止する。

【0105】NMOSTランジスタN33~N36は、直列接続されており、それぞれのゲート電極が内部電源VDDに共通接続されている。この直列回路の一端にあるNMOSTランジスタN33のドレイン電極はノードIN2に接続されており、また他端にあるNMOSTランジスタN36のソース電極は接地電源GNDに接続されている。NMOSTランジスタN37は、その第1電極がノードIN2に接続され、その第2電極がノードIN3に接続されている。インバータINV31は、その入力端子がノードIN3に接続され、その出力端子がノードIN4に接続されている。インバータINV32は、その入力端子がノードIN4に接続され、その出力端子

が出力端子OUTに接続されている。

【0106】図13は同一のLSI40(3[V]の内部電源VDD)に内蔵された第6の実施形態の入力回路(図12参照)および上記第5の実施形態の出力回路42(図9参照)と、外部電源VCCで動作する外部回路43との接続例を示す図であり、(a)は外部電源VCCが5[V]のときの接続例を示し、(b)は外部電源VCCが3[V]のときの接続例を示す。図13(a)においては、出力回路42の出力端子OUTに、一端が外部電源VCCに接続されたプルアップ抵抗R1の他端を接続する。図13(a)、(b)において出力回路42の出力端子OUTは外部回路43に接続されており、入力回路41の入力端子INは外部電源VCCに接続されている。また入力回路41の出力端子OUTは出力回路42のセレクト入力端子SELに接続されている。

【0107】図14は第6の実施形態の入力回路における入力端子INへの入力電圧に対する各部のDC特性図である。図14には、入力端子IN、出力端子OUT、ノードIN2、およびノードIN3の電圧特性を示してある。

【0108】次に、図12に示す入力回路(図13における入力回路41)の動作を説明する。まず、図13

(a)のように接続されたときの動作、すなわちLSIチップが5[V]動作の外部回路に接続されたときの動作を説明する。入力端子INが5[V]であり、ノードIN1が内部電源VDDレベル(3[V])以上となるので、PMOSTランジスタP31はOFFし、PMOSTランジスタP32はONしている。これによりノードIN2は内部電源VDDレベル(3[V])以上となり、NMOSTランジスタN37によりノードIN3の電位は $VDD - V_{th}$ となる。従ってインバータINV31の出力すなわちノードIN4は“L”レベル(0[V])となり、インバータINV32の出力すなわち出力端子OUTは“H”レベル(3[V])となる。この出力電圧が図13における出力回路42のセレクト入力端子SELに入力される。

【0109】次に、図13(b)のように接続されたときの動作、すなわちLSIチップが3[V]動作の外部回路に接続されたときの動作を説明する。入力端子INが3[V]なので、PMOSTランジスタP1およびP2はともにOFFしており、NMOSTランジスタN33~N36の直列回路によりノードIN2は“L”レベルとなる。ノードIN2が“L”レベルなので、NMOSTランジスタN37がONしており、ノードIN3は“L”レベルとなる。従ってノードIN4は“H”レベル(3[V])となり、出力端子OUTは“L”レベル(0[V])となる。

【0110】このように第6の実施形態によれば、入力端子INを外部回路の電源VCCに接続し、出力端子OUTを例えば上記第5の実施形態の出力回路のセレクト

入力端子SELに接続することにより、外部電源VCCが5[V]のときは上記出力回路のセレクト入力端子SELを“H”レベルとすることにより、5[V]動作の外部回路と上記出力回路とのインターフェースを実現させ、また外部電源VCCが3[V]のときはセレクト入力端子SELを“L”レベルとすることにより3[V]動作の外部回路と上記出力回路とのインターフェースを実現させることができる。すなわち、特に操作を要することなく、5[V]動作の外部回路と3[V]動作の外部回路のいずれにも、出力回路をインターフェイスさせることができる。また外部回路の動作電圧が変更されても、同じLSIチップおよびプリント基板を用いることができる。

【0111】尚、図12に示す入力回路は、上記の出力回路と同じLSIに内蔵されてなくても良い。また電源電圧=3Vに対して、外部入力=5Vで説明したが、他の条件でも構わない。内部電源電圧よりも外部電源電圧が高い条件に対して有効である。

【0112】第7の実施形態

図15は本発明の第7の実施形態の入力回路を示す回路図である。図15に示す入力回路は、入力端子INと、出力端子OUTと、PMOSTランジスタP31、P32、P38、P39と、NMOSTランジスタN31~N39と、インバータINV32と、抵抗R31とを有する。図15に示す入力回路は、図12の入力回路において、PMOSTランジスタP38、P39と、NMOSTランジスタN38、N39とを設け、インバータINV31を取り外したものである。出力回路および外部回路との接続は、上記第6の実施形態と同じとする(図13参照)。

【0113】NMOSTランジスタN38は、そのゲートがノードIN3に接続され、そのドレイン電極がノードIN4に接続され、そのソース電極が接地電源GNDに接続されている。PMOSTランジスタP38は、そのゲート電極がノードIN3に接続され、そのドレイン電極がノードIN4に接続され、そのソース電極およびバルクがノードSPNに接続されている。PMOSTランジスタP38のバルクは内部電源VDDには接続されていない。PMOSTランジスタP39は、そのゲートが出力端子OUTに接続され、そのドレイン電極がノードSPNに接続され、そのソース電極が内部電源VDDに接続されている。NMOSTランジスタN39は、そのゲート電極が出力端子OUTに接続され、そのドレイン電極が内部電源VDDに接続され、そのソース電極がノードSPNに接続されている。

【0114】図16は第7の実施形態の入力回路における入力端子INへの入力電圧に対する各部のDC特性図であり、(a)は入力端子IN、出力端子OUT、ノードIN3、およびノードSPNの電圧特性、(b)は電源電流特性(内部電源VDDに対する消費電流特性)を

示す。

【0115】次に、図15に示す入力回路の動作は、図12に示した入力回路の動作とほぼ同じである。ただし以下に説明する点が異なる。

【0116】入力端子INが5[V]の外部電源VCCに接続されたとき、ノードIN3の電位は $V_{DD}-V_{th}$ となるので、NMOSトランジスタN38はONし、出力端子OUTは“H”レベル(3[V])となる。出力端子OUTが“H”レベルなので、PMOSTランジスタP39はOFFしており、NMOSTランジスタN39はONしており、ノードSPNの電位は $V_{DD}-V_{th}$ となる。従ってノードIN3とノードSPNの電位がともに $V_{DD}-V_{th}$ となり、PMOSTランジスタP38を確実にOFFさせることができるので、内部電源電位VDDからPMOSTランジスタP38およびNMOSTランジスタN38を経由して接地電源GNDに電流が流れ込むことを防止することができる。また入力端子INが3[V]の外部電源VCCに接続されたときは、NMOSTランジスタN38、N39はOFFし、PMOSTランジスタP38、P39はONしている。

【0117】このように第7の実施形態によれば、入力端子INを外部回路の電源VCCに接続し、出力端子OUTを例えば第5の実施形態の出力回路のセレクト入力端子SELに接続することにより、外部電源VCCが5[V]のときは上記出力回路のセレクト入力端子SELを“H”レベルとすることにより、5[V]動作の外部回路と上記出力回路とのインターフェースを実現させ、また外部電源VCCが3[V]のときはセレクト入力端子SELを“L”レベルとすることにより3[V]動作の外部回路と上記出力回路とのインターフェースを実現させることができる。すなわち、特に操作を要することなく、5[V]動作の外部回路と3[V]動作の外部回路のいずれにも、出力回路をインターフェイスさせることができる。また外部回路の動作電圧が変更されても、同じLSIチップおよびプリント基板を用いることができる。また内部電源VDDから接地電源GNDへの電流の流れ込みを防止することができる。

【0118】尚、図15に示す入力回路は、上記の出力回路と同じLSIに内蔵されてなくても良い。

【0119】第8の実施形態

図17は本発明の第8の実施形態の入力回路を示す回路図である。図17に示す入力回路は、LSIチップに内蔵されており、入力端子INと、出力端子OUTと、PMOSTランジスタP1~P7と、NMOSTランジスタN1~N4、N7と、インバータINV2とを有する。このLSIチップの内部電源VDDは、ここでは3[V]であるとする。入力端子INは、外部から信号電圧が入力される端子である。この入力信号の“H”レベルは、ここでは5[V]であるとする。また出力端子OUTはこのLSIチップに内蔵された他の回路に接続さ

れている。インバータINV2は、その入力端子が出力端子OUTに接続され、その出力端子が内部ノードOUTNに接続されている。

【0120】NMOSTランジスタN1は、そのゲート電極およびソース電極が接地電源GNDに接続されている。NMOSTランジスタN2は、そのゲート電極が内部電源VDDに接続され、そのドレイン電極が出力端子INに接続され、そのソース電極がNMOSTランジスタN1のドレイン電極に接続されている。NMOSTランジスタN3は、そのゲート電極がノードOUTNに接続され、そのソース電極が接地電源GNDに接続されている。NMOSTランジスタN4は、そのゲート電極が内部電源VDDに接続され、そのドレイン電極が内部ノードGに接続され、そのソース電極がNMOSTランジスタN3のドレイン電極に接続されている。

【0121】PMOSTランジスタP1は、そのゲート電極およびソース電極が内部電源VDDに接続され、そのドレイン電極が内部ノードSに接続されている。PMOSTランジスタP2は、そのゲート電極がノードGに接続され、そのドレイン電極が出力端子INに接続され、そのソース電極がノードSに接続されている。PMOSTランジスタP3は、そのゲート電極がノードGに接続され、そのソース電極がノードSに接続されている。PMOSTランジスタP4は、そのゲート電極が内部電源VDDに接続され、そのドレイン電極がノードGに接続され、そのソース電極が出力端子INに接続されている。PMOSTランジスタP5は、そのゲート電極が内部電源VDDに接続され、そのソース電極が出力端子INに接続されている。

【0122】NMOSTランジスタN7は、そのゲート電極が内部電源VDDに接続され、その第1電極(ドレイン電極またはソース電極)が出力端子OUTに接続されている。PMOSTランジスタP7は、そのゲート電極がノードGに接続され、その第1電極(ドレイン電極またはソース電極)が出力端子OUTに接続され、その第2電極(ソース電極またはドレイン電極)が出力端子INに接続されている。PMOSTランジスタP6は、そのゲート電極およびソース電極が内部電源VDDに接続され、ドレイン電極が出力端子OUTに接続されている。

【0123】PMOSTランジスタP2、P3、P4、P5、P7は共通のバルク(基板)Bに形成されている。このフローティングバルクBは、内部電源VDDおよび接地電源GNDのいずれにも接続されていないNウェルである。PMOSTランジスタP3、P5のドレイン電極はフローティングバルクBに接続されている。PMOSTランジスタP1、P6、P2のバルクは内部電源VDDに接続されており、NMOSTランジスタN1~N4、N7のバルクは接地電源GNDに接続されて



いる。

【0124】入力端子INには、PMOSTランジスタP2のドレイン電極と、P4、P5の各ソース電極と、P7の第2電極と、NMOSTランジスタN2のドレイン電極と、N7の第1電極と、インバータINV2の入力端子とが接続されている。

【0125】ノードGには、PMOSTランジスタP2、P3、P7の各ゲート電極と、P4のソース電極と、NMOSTランジスタN3のドレイン電極とが接続されている。ノードSには、PMOSTランジスタP1のドレイン電極と、P2、P3の各ソース電極とが接続されている。出力端子OUTには、PMOSTランジスタP6のドレイン電極と、P7の第1電極と、NMOSTランジスタN7の第2電極と、インバータINV2の入力端子とが接続されている。

【0126】次に、図17に示す入力回路の動作を説明する。入力端子INが“L”レベル(0[V])のとき、NMOSTランジスタN7はONしており、出力端子OUTは“L”レベルとなる。出力端子OUTが“L”レベルなので、インバータINV2の出力は“H”レベルとなり、これによりNMOSTランジスタN3はONしており、従ってN4もONしている。NMOSTランジスタN3およびN4がONしているので、ノードGは“L”レベルとなっている。ノードGと入力端子INがともに“L”レベル(0[V])なので、PMOSTランジスタP2、P4、P5、P7はOFFしている。またノードSの電位は $V_{th}$ 以下となっており、PMOSTランジスタP3もOFFしている。

【0127】次に入力端子INが“L”レベル(0

[V])から5[V]に変化すると、出力端子OUTは内部電源VDDレベルに変化する。入力端子INが $V_{th}$ (NMOSTランジスタのしきい値であり、かつPMOSTランジスタのしきい値の絶対値)まで上昇すると、ノードGが“L”レベルなので、PMOSTランジスタP7がターンONする。またNMOSTランジスタN7は、入出力端子YPADの電位が $3[V] - V_{th}$ 以下であるときONしており、 $3[V] - V_{tn}$ 以上となるとターンOFFする。従って、入力端子INが3

[V]まで上昇したとき、PMOSTランジスタP7およびNMOSTランジスタN7により、出力端子OUTは $3[V] - V_{th}$ ではなく $3[V]$ まで上昇する。

【0128】また入力端子INが $V_{th}$ まで上昇したとき、ノードGが“L”レベルなので、PMOSTランジスタP2がターンONする。PMOSTランジスタP2のターンONにより、ノードSは入力端子INと同じ電位に上昇し、これによりPMOSTランジスタP3もターンONする。またPMOSTランジスタP2およびP3のターンONにより、フローティングバルクBは入力端子INと同じ電位となる。PMOSTランジスタP3は、フローティングバルクBの電位を3[V]まで確実に

に上昇させ、PMOSTランジスタP2の動作をより安定させるために設けられたものである。

【0129】入力端子INおよび出力端子OUTが3[V]に上昇すると、インバータINV2の出力が“H”レベルから“L”レベルに変化し、これによりNMOSTランジスタN3がターンOFFする。しかし、ノードGは“L”レベルのままである。

【0130】このあと、プルアップ抵抗R1により、入出力端子YPADは外部電源VCCレベル(5[V])まで上昇する。入出力端子YPADが $3[V] + V_{th}$ に上昇すると、PMOSTランジスタP4、P5がターンONする。PMOSTランジスタP4のターンONにより、ノードGは“L”レベルから入力端子INと同じ電位に変化する。ノードGと入力端子INが同じ電位になることにより、PMOSTランジスタP7がターンOFFする。またノードGとノードSが同じ電位になることにより、PMOSTランジスタP2およびP3がターンOFFする。またPMOSTランジスタP5のターンONにより、フローティングバルクBの電位は入力端子INと同じ電位となる。

【0131】そして、入力端子INが最終的に5[V]となったとき、ノードGおよびフローティングバルクBも5[V]となる。もしも、PMOSTランジスタP7がターンOFFする前に、出力端子OUTの電位が3

[V] +  $V_{th}$ よりも高くなったときには、PMOSTランジスタP6がターンONして、出力端子OUTの電位を $3[V] + V_{th}$ にクランプする。またもしも、入力端子INの電位が、 $-V_{th}$ よりも低くなったときには、NMOSTランジスタN1がターンONして、入力端子INの電位を $-V_{th}$ にクランプする。またもしも、入力端子INおよびノードSの電位が、 $3[V] + V_{th}$ よりも高くなったときには、PMOSTランジスタP1がターンONして、入力端子INの電位を3

[V] +  $V_{th}$ にクランプする。また、NMOSTランジスタN2、N4は、入力端子INおよびノードGが5[V]となったときに、この5[V]がNMOSTランジスタN1、N4のソース/ドレイン間にかからないようにするために設けられたものであり、このNMOSTランジスタN2、N4により、耐圧の弱いプロセスにも

対応することができる。

【0132】また、入力端子INが5[V]に保持されているときに、PMOSTランジスタP2およびP3がOFFしていることにより、PMOSTランジスタP1のドレイン電極(ノードS)はハイインピーダンスとなっており、ノードSおよびPMOSTランジスタP1のバルクを通して、入力端子INから内部電源VDDにリーク電流が流れてしまうことはない。またフローティングバルクBは内部電源VDDには接続していないので、フローティングバルクBから内部電源VDDにリーク電流が流れてしまうこともない。



【0133】このように第8の実施形態によれば、入力端子INに5[V]の電位が入力されても、PMOSTランジスタP7およびNMOSTランジスタN7により電流の流れ込みは発生しない。

【0134】尚、電源電圧=3Vに対して、外部入力=5Vで説明したが、他の条件でも構わない。内部電源電圧よりも外部電源電圧が高い条件に対して有効である。

【0135】第9の実施形態

図18は本発明の第9の実施形態の入力回路を示す回路図である。図18に示す入力回路は、入力端子INと、出力端子OUTと、PMOSTランジスタP1~P7、P21と、NMOSTランジスタN1~N4、N7と、インバータINV2とを有する。図18において、図17と共通する部分については同一符号を付してある。

【0136】図18に示す入力回路は、図17の入力回路において、PMOSTランジスタP21を設けたものである。PMOSTランジスタP21は、そのゲート電極が接地電源GNDに接続され、そのドレイン電極が出力端子OUTに接続され、そのソース電極が内部電源VDDに接続されている。PMOSTランジスタP21は、入力端子INが高インピーダンス（開放）となったときに、出力端子OUTをプルアップし、出力端子OUTのレベルを内部電源VDDレベル（3[V]）に確定するために設けられたものである。

【0137】次に、図18に示す出力回路の動作は、図17に示した第8の実施形態の入力回路の動作とほぼ同じである。ただし、以下に説明する動作、すなわち入力端子INが高インピーダンスになったときの動作が図17の入力回路とは異なる。

【0138】PMOSTランジスタP8は、常時ONしているが、その相互コンダクタンスは小さく、プルアップ抵抗と同じ動作をする。入力端子INが高インピーダンスになったとき、出力端子OUTは、フローティングとはならず、PMOSTランジスタP8により内部電源VDDレベルにプルアップされる。また入力端子INの電位が5[V]に保持されたときには、PMOSTランジスタP7およびNMOSTランジスタN7がOFFすることにより、PMOSTランジスタP8を介して入力端子INから内部電源VDDに電流が流れ込むことはない。

【0139】このように第9の実施形態によれば、入力端子INが高インピーダンスになった場合に、出力端子OUTを内部電源VDDレベルとすることができるため、内部回路への入力信号レベルを確定できる。また、入力端子INに5[V]の電位が入力されても、PMOSTランジスタP7、NMOSTランジスタN7により、PMOSTランジスタP21を経由しての電流の流れ込みは発生しない。

【0140】第10の実施形態

図19は本発明の第10の実施形態の入力回路を示す回

路図である。図19に示す入力回路は、入力端子INと、出力端子OUTと、PMOSTランジスタP1~P7と、NMOSTランジスタN1~N4、N7、N21と、インバータINV2とを有する。図19において、図17と共通する部分については同一符号を付してある。

【0141】図19に示す入力回路は、図17の入力回路において、NMOSTランジスタN21を設けたものである。NMOSTランジスタN21は、そのゲート電極が内部電源VDDに接続され、そのドレイン電極が出力端子OUTに接続され、そのソース電極が接地電源GNDに接続されている。NMOSTランジスタN21は、入力端子INが高インピーダンス（開放）となったときに、出力端子OUTをプルダウンし、出力端子OUTのレベルを接地電源GNDレベル（0[V]）に確定するための設けられたものである。

【0142】次に、図19に示す入力回路の動作は、図17に示した第8の実施形態の入力回路の動作とほぼ同じである。ただし、以下に説明する動作、すなわち入力端子INが高インピーダンスになったときの動作が図17の入力回路とは異なる。

【0143】NMOSTランジスタN22は、常時ONしているが、その相互コンダクタンスは小さく、プルダウン抵抗と同じ動作をする。入力端子INが高インピーダンスになったとき、出力端子OUTは、フローティングとはならず、NMOSTランジスタN21により接地電源GNDレベル（0[V]）に確定される。

【0144】このように第10の実施形態によれば、入力端子INが高インピーダンスになったとき、NMOSTランジスタN21により出力端子OUTを接地電源レベルGNDとすることができるため、内部回路への入力信号レベル確定できる。また、入力端子INに5[V]の電位が入力されても、PMOSTランジスタP6、P7、NMOSTランジスタN7により、出力端子OUTは内部電源VDDレベルとなり、NMOSTランジスタN21のドレイン電極、ゲート電極、ソース電極間に対して5[V]の電位差は生じないため、耐圧の弱いプロセスに有効である。

【0145】第11の実施形態

図20は本発明の第11の実施形態の入力回路を示す回路図である。図20に示す入力回路は、入力端子INと、出力端子OUTと、PMOSTランジスタP1~P7、P22と、NMOSTランジスタN1~N4、N7、N22と、インバータINV2とを有する。図20において、図17と共通する部分については同一符号を付してある。

【0146】図20に示す入力回路は、図17の入力回路において、PMOSTランジスタP22と、NMOSTランジスタN22とを設けたものである。NMOSTランジスタN22は、そのゲート電極が内部電源VDD

に接続され、そのドレイン電極がノードA1に接続され、そのソース電極が入力端子INに接続され、そのバルクは接地電源GNDに接続されている。PMOSTランジスタP22は、そのゲート電極がノードA1に接続され、そのドレイン電極が入力端子INに接続され、そのソース電極が内部電源VDDに接続されている。このPMOSTランジスタP22のバルクはフローティングバルクBである。

【0147】次に、図20に示す入力回路の動作は、図17に示した第8の実施形態の入力回路の動作とほぼ同じである。ただし、以下に説明する動作、すなわち入力端子INが高インピーダンスになったときの動作が図17の入力回路とは異なる。

【0148】図21は図20に示す入力回路において入力端子INが0[V]または5[V]から高インピーダンスに変化したときの入力端子INとノードA1の動作タイミング図（電圧波形図）であり、(a)は入力端子INが0[V]から高インピーダンスに変化したときの電圧波形図、(b)は入力端子INが5[V]から高インピーダンスに変化したときの電圧波形図である。図21を用いて入力端子INが高インピーダンスになったときの動作を説明する。まず、入力端子INが“L”レベル(0[V])から高インピーダンスとなったときの動作を説明する。入力端子INが“L”レベル(0

[V])のとき、NMOSTランジスタN22はONしており、ノードA1は“L”レベル(0[V])となっている。またPMOSTランジスタP22は、ONしているがプルアップ抵抗のように動作し、P22のソース／ドレイン間には、電圧VDDがかかっている。

【0149】そして入力端子INが0[V]から高インピーダンスとなると、PMOSTランジスタP22により入力端子INは内部電源VDDレベル(3[V])に変化し、出力端子OUTも3[V]に変化する。またノードA1の電位はNMOSTランジスタN22によりVDD-V<sub>th</sub>となる。

【0150】次に、入力端子INが5[V]から高インピーダンスとなったときの動作を説明する。入力端子INが5[V]のとき、ノードA1はVDD-V<sub>th</sub>となっている。PMOSTランジスタP22は、ONしているがプルダウン抵抗のように動作し、P22のドレイン／ソース間には電圧5[V]-VDDがかかっている。また出力端子OUTは内部電源VDDレベル(3[V])となっている。

【0151】そして入力端子INが5[V]から高インピーダンスとなると、PMOSTランジスタP22により入力端子INは内部電源VDDレベル(3[V])に変化する。

【0152】また、入力端子INが5[V]に保持されているときには、PMOSTランジスタP22を、PMOSTランジスタP2～P5、P7と共通のフローティ

ングバルクBに形成しているので、PMOSTランジスタP22のバルクを介して入力端子INから内部電源VDDに電流が流れ込むことはない。

【0153】このように第11の実施形態によれば、入力端子INが高インピーダンスになった場合に、入力端子IN（外部信号）と出力端子OUT（内部信号）のどちらとも内部電源VDDレベルとなる。また、入力端子INに5[V]が入力された場合でも、PMOSTランジスタP22のバルクはPMOSTランジスタP2～P5、P7と共通のフローティングバルクBであるため、バルクへの電流の流れ込みは発生せず、ドレイン電極(5[V])とゲート電極(VDD-V<sub>th</sub>)間にも5[V]の電位差は生じない。従って電位差に対する耐圧の弱いプロセスに有効である。

【0154】第12の実施形態

図22は本発明の第12の実施形態の入力回路を示す回路図である。図22に示す入力回路は、LSIチップに内蔵されており、入力端子INと、出力端子OUTと、PMOSTランジスタP1～P7と、NMOSTランジスタN1～N4、N7、N23、N24と、インバータINV2とを有する。図22において、図17と共通する部分については同一符号を付してある。

【0155】図22に示す入力回路は、図17の入力回路において、NMOSTランジスタN23とN24とを設けたものである。

【0156】NMOSTランジスタN23は、そのゲート電極が内部電源VDDに接続され、そのドレイン電極がノードA2に接続され、そのソース電極が接地電源GNDに接続されている。NMOSTランジスタN24は、そのゲート電極が内部電源VDDに接続され、そのドレイン電極が入力端子INに接続され、そのソース電極がノードA2に接続されている。すなわち入力端子INと接地電源GNDの間に、NMOSTランジスタN23、N24が直列に設けられている。

【0157】次に、図22に示す入力回路の動作は、図17に示した第8の実施形態の入力回路の動作とほぼ同じである。ただし、以下に説明する動作、すなわち入力端子INが高インピーダンスになったときの動作が図17の入力回路とは異なる。

【0158】NMOSTランジスタN23およびN24は、常時ONしているが、その相互コンダクタンスは小さく、プルダウン抵抗と同じ動作をする。入力端子INが高インピーダンスになったとき、入力端子INは、フローティングとはならず、NMOSTランジスタN23、N24により接地電源GNDレベル(0[V])に確定され、またこれにより出力端子OUTも0[V]に確定される。

【0159】このように第12の実施形態によれば、入力端子INが高インピーダンスになった場合に、入力端子IN（外部信号）と出力端子OUT（内部信号）のど

ちらとも接地電源GNDレベルとなる。また、入力端子INに5[V]が入力された場合でも、NMOSトランジスタN23とN24とで分圧してノードA2の電位を決定することにより、NMOSトランジスタN23のソース/ドレイン間において5[V]の電位差は生じないので、電位差に対する耐圧の弱いプロセスに有効である。

#### 【0160】第13の実施形態

図23は本発明の第13の実施形態の入力回路を示す回路図である。図23に示す入力回路は、入力端子INと、出力端子OUTと、PMOSトランジスタP1~P7と、NMOSトランジスタN1~N4、N7、N23、N24と、インバータINV2とを有する。図23において、図17と共通する部分については同一符号を付してある。

【0161】図23に示す入力回路は、図17の入力回路において、NMOSトランジスタN1に並列に、NMOSトランジスタN23を設けたものである。NMOSトランジスタN23は、そのゲート電極が内部電源VDに接続され、そのドレイン電極がノードA2に接続され、そのソース電極が接地電源GNDに接続されている。NMOSトランジスタN1のドレイン電極、およびNMOSトランジスタN2のソース電極は、ノードA2に接続されている。

【0162】次に、図23に示す入力回路の動作は、図17に示した第8の実施形態の入力回路の動作とほぼ同じである。ただし、以下に説明する動作、すなわち入力端子INが高インピーダンスになったときの動作が図17の入力回路とは異なる。

【0163】NMOSトランジスタN1およびN23は、常時ONしているが、N23の相互コンダクタンスは小さい。N1およびN23の直列回路は、ブルダウン抵抗と同じ動作をする。入力端子INが高インピーダンスになったとき、入力端子INは、フローティングとはならず、NMOSトランジスタN1、N23により接地電源GNDレベル(0[V])に確定され、またこれにより出力端子OUTも0[V]に確定される。

【0164】このように第13の実施形態によれば、入力端子INが高インピーダンスになった場合に、入力端子IN(外部信号)と出力端子OUT(内部信号)のどちらとも接地電源GNDレベルとなる。また、入力端子INに5[V]が入力された場合でも、NMOSトランジスタN2とN23で分圧してノードA2の電位を決定することにより、NMOSトランジスタN23のソース/ドレイン間において5[V]の電位差は生じないため、電位差に対する耐圧の弱いプロセスに有効である。また、上記第12の実施形態よりも少ないトランジスタで同等の機能を実現できる。

#### 【0165】

【発明の効果】以上説明したように本発明の出力回路、

入力回路、および入出力回路によれば、内部電源電圧まで高速に動作させることができるという効果がある。また内部電源への電流の流れ込みを防止して低消費電力化を実現できるという効果がある。また耐圧の弱いプロセスに対応することができるという効果がある。またインターフェイスする内部回路または外部回路に対して十分なVIHマージンを確保することができるという効果がある。さらに内部電源よりも高い外部電源と、内部電源と同じレベルの外部電源のいずれにもインターフェースすることができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態の入出力回路を示す回路図である。

【図2】本発明の第1の実施形態の入出力回路における動作タイミング図である。

【図3】本発明の第2の実施形態の出力回路を示す回路図である。

【図4】本発明の第2の実施形態の出力回路における動作タイミング図である。

20 【図5】本発明の第3の実施形態の出力回路を示す回路図である。

【図6】本発明の第3の実施形態の出力回路における動作タイミング図である。

【図7】本発明の第4の実施形態の出力回路を示す回路図である。

【図8】本発明の第4の実施形態の出力回路における動作タイミング図である。

【図9】本発明の第5の実施形態の出力回路を示す回路図である。

30 【図10】本発明の第5の実施形態の出力回路の外部との接続例を示す図である。

【図11】本発明の第5の実施形態の出力回路における動作タイミング図である。

【図12】本発明の第6の実施形態の入力回路を示す回路図である。

【図13】本発明の第6の実施形態の入力回路の外部との接続例を示す図である。

【図14】本発明の第6の実施形態の入力回路のDC特性を示す図である。

40 【図15】本発明の第7の実施形態の入力回路を示す回路図である。

【図16】本発明の第7の実施形態の入力回路のDC特性を示す図である。

【図17】本発明の第8の実施形態の入力回路を示す回路図である。

【図18】本発明の第9の実施形態の入力回路を示す回路図である。

【図19】本発明の第10の実施形態の入力回路を示す回路図である。

50 【図20】本発明の第11の実施形態の入力回路を示す

回路図である。

【図21】本発明の第11の実施形態の入力回路における動作タイミング図である。

【図22】本発明の第12の実施形態の入力回路を示す回路図である。

【図23】本発明の第13の実施形態の入力回路を示す回路図である。

【図24】従来の入力回路を示す回路図である。

【図25】従来の入力回路における動作タイミング図である。

10

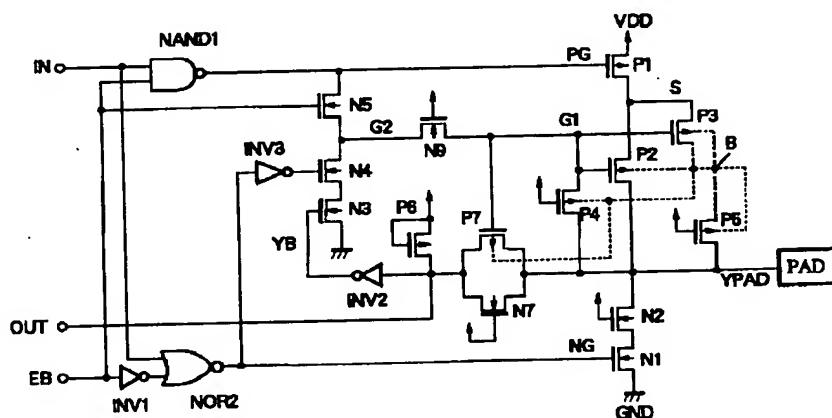
【図26】従来の出力回路を示す回路図である。

【図27】従来の出力回路における動作タイミング図である。

【符号の説明】

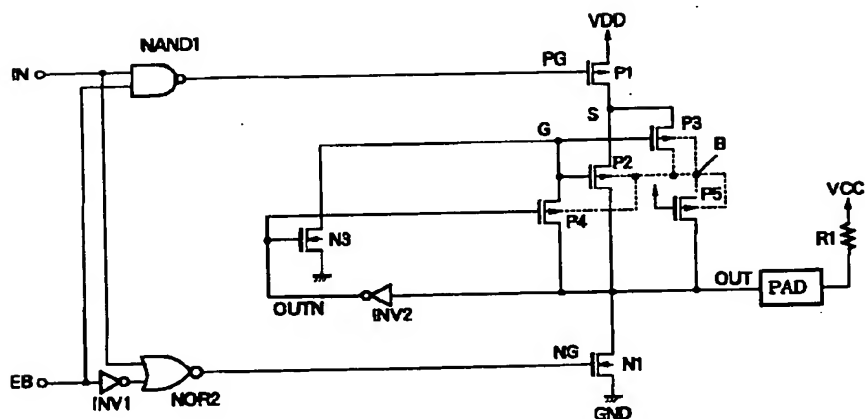
P1~P9, P31, P32, P38, P39 PMOSトランジスタ、N1~N8, N31~N39 NMOSトランジスタ、DL1 遅延回路、INV1~INV4, INV31, INV32 インバータ、1 NANDゲート、2, 3 NORゲート

【図1】



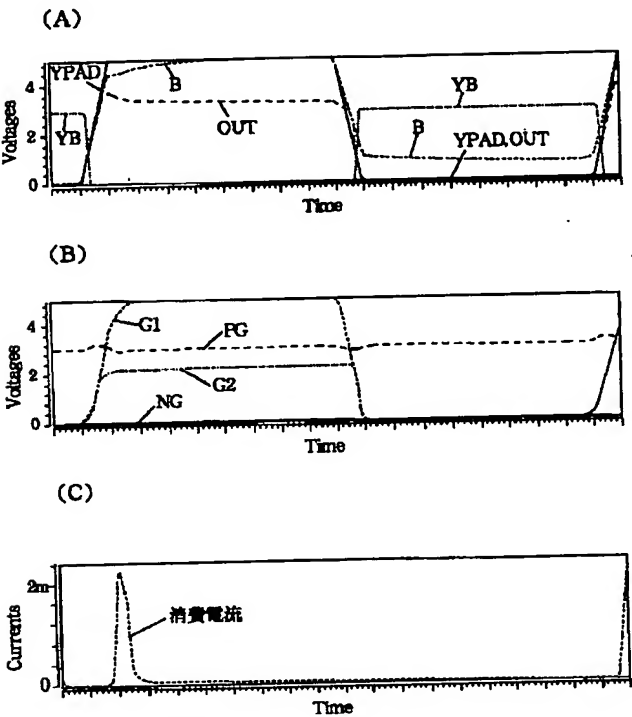
第1の実施形態

【図3】



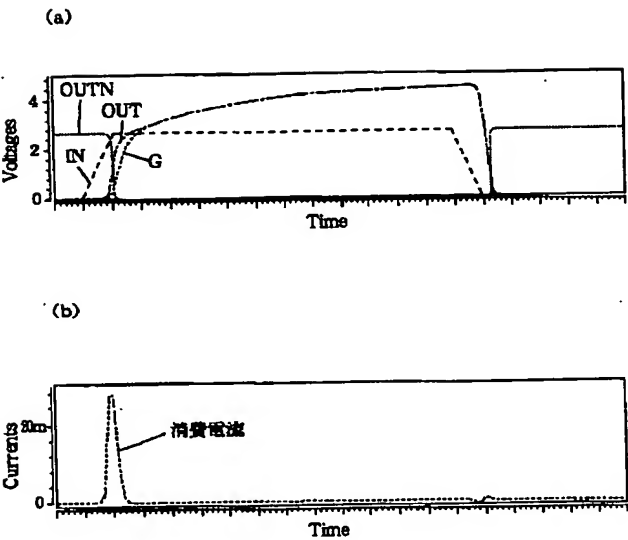
第2の実施形態

【図 2】



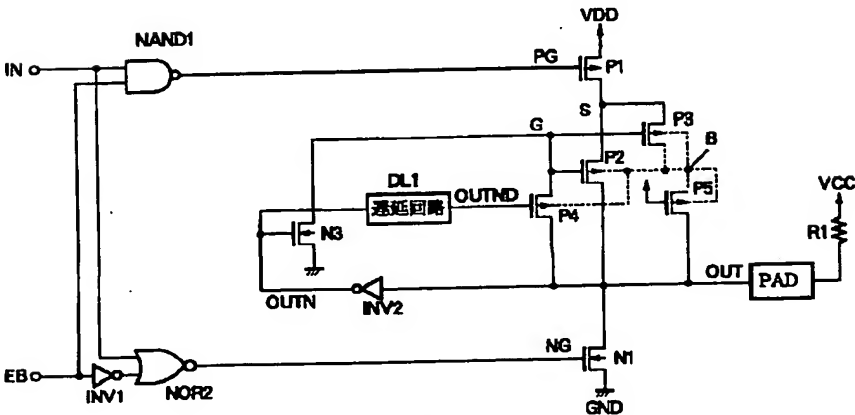
第 1 の実施形態のタイミング図

【図 4】



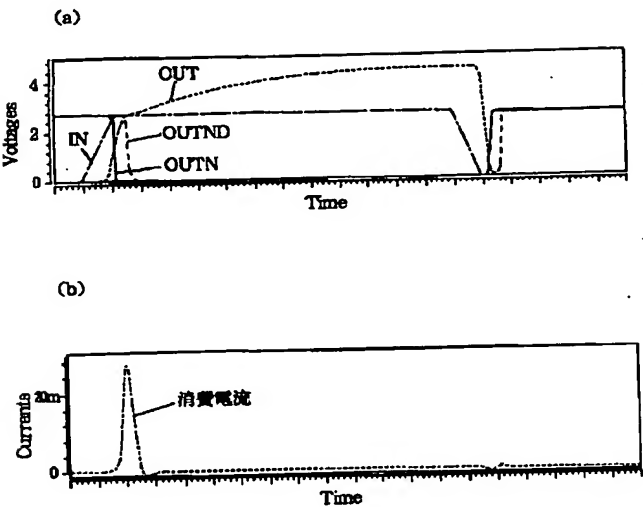
第 2 の実施形態のタイミング図

【図 5】



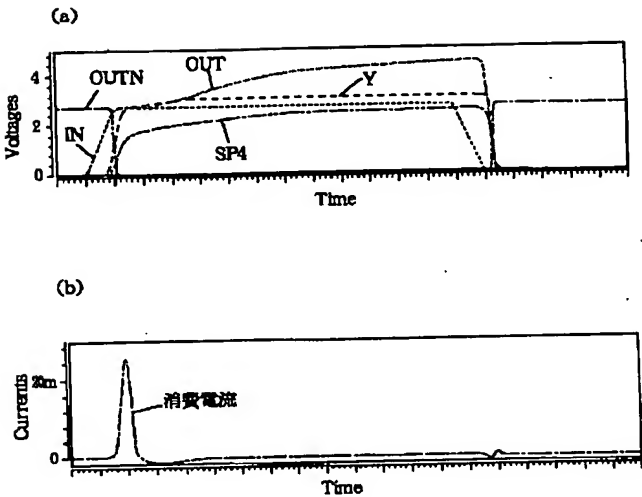
第 3 の実施形態

【図 6】



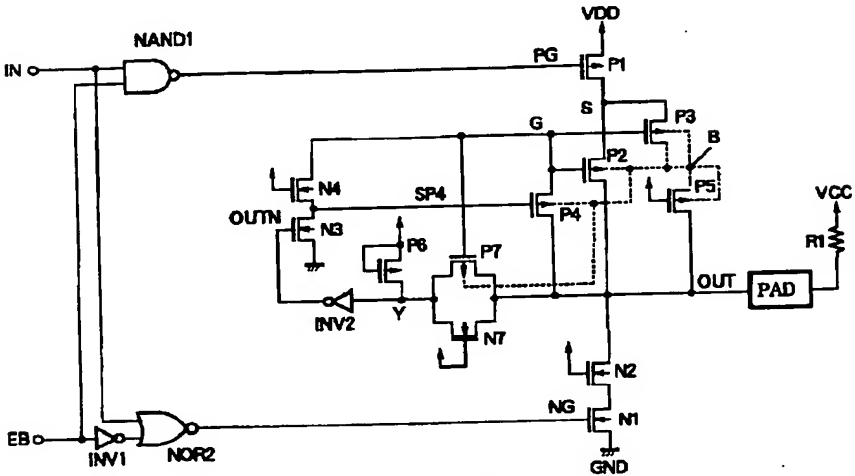
第 3 の実施形態のタイミング図

【図 8】



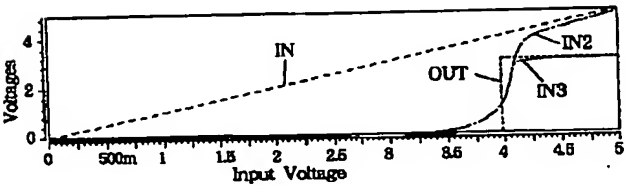
第 4 の実施形態のタイミング図

【図 7】



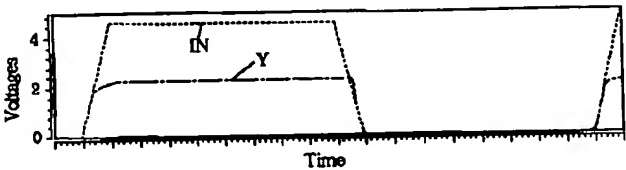
第 4 の実施形態

【図 14】



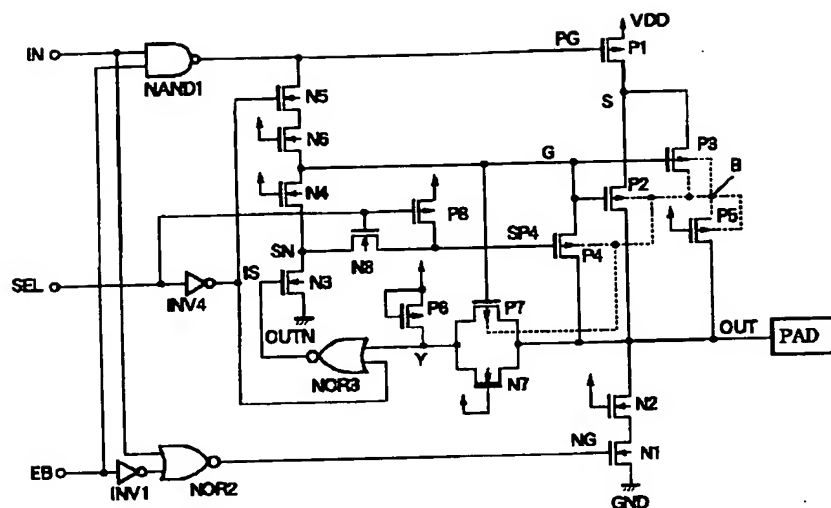
第 6 の実施形態の DC 特性

【図 25】



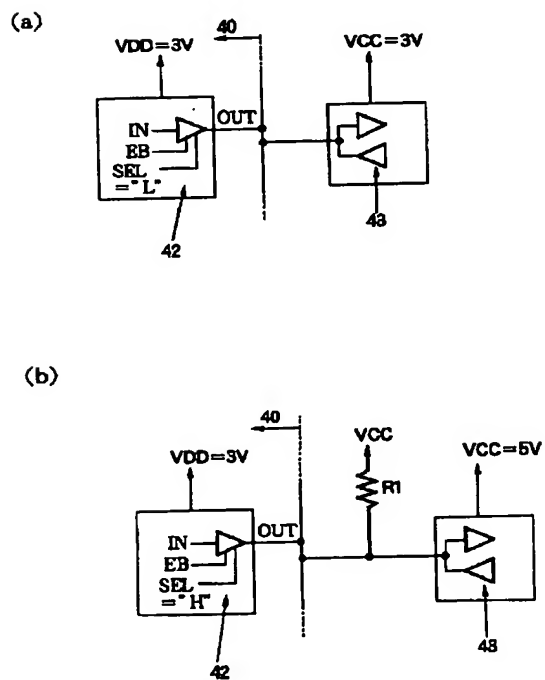
従来技術(1)のタイミング図

【図9】



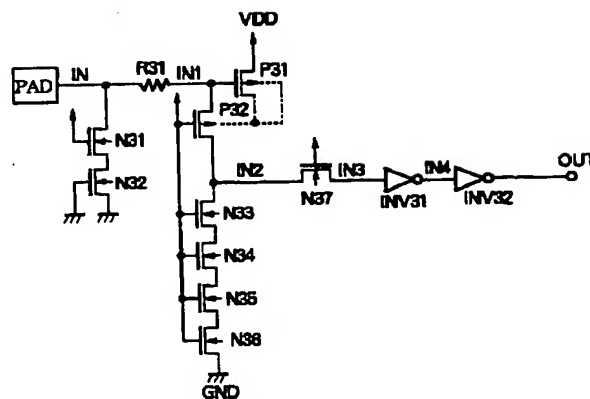
第5の実施形態

【図10】



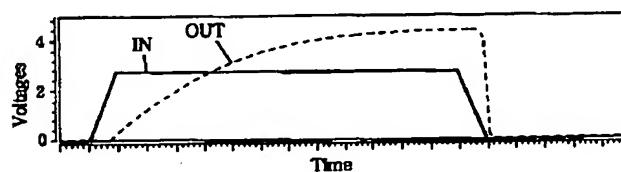
第5の実施形態の接続例

【図12】



第6の実施形態

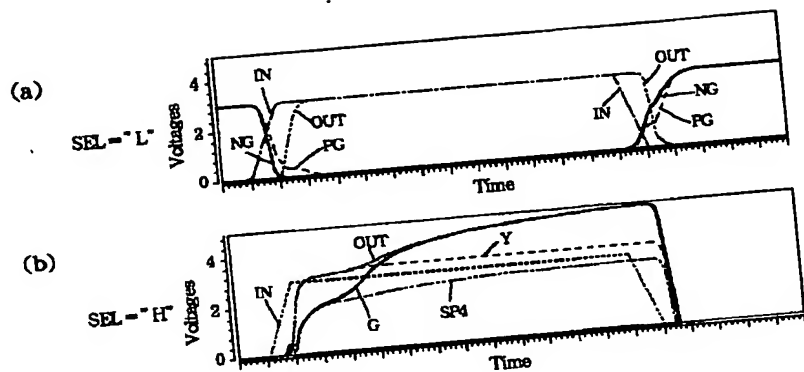
【図27】



従来技術(2)のタイミング図

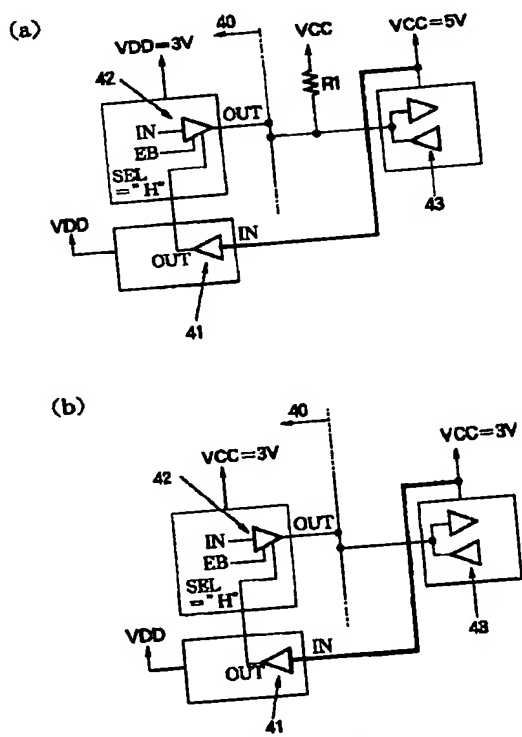


【図11】



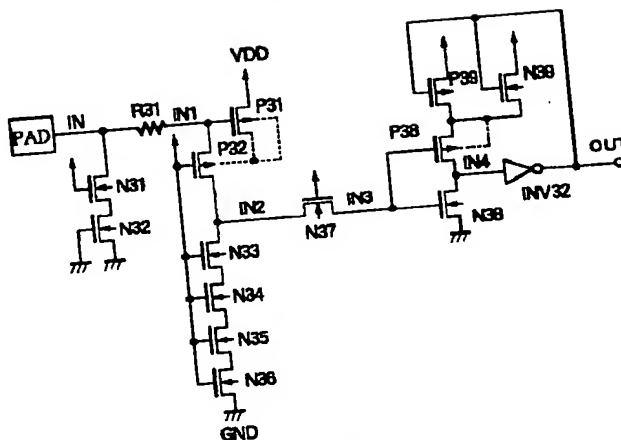
第5の実施形態のタイミング図

【図13】



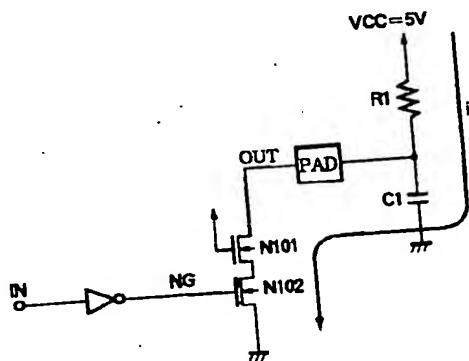
第6の実施形態の接続例

【図15】



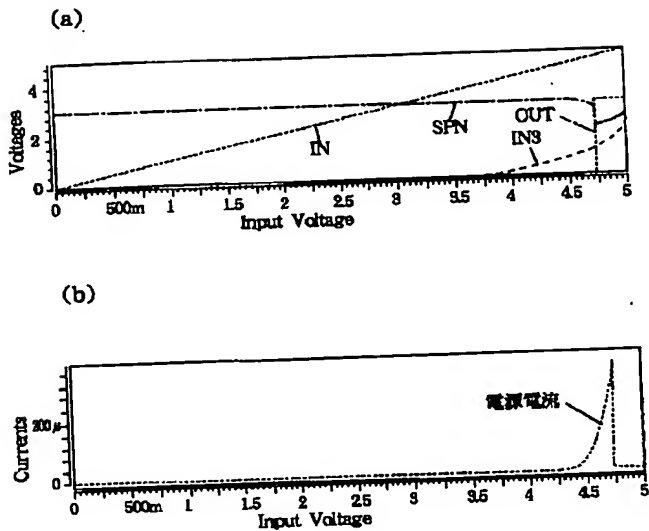
第7の実施形態

【図26】



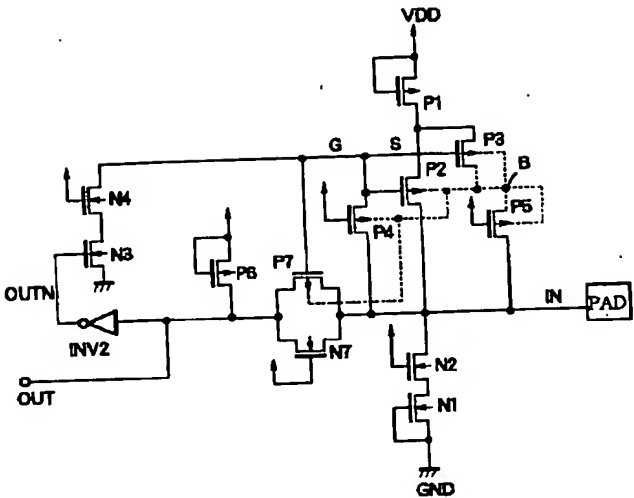
従来技術(2)

【図16】



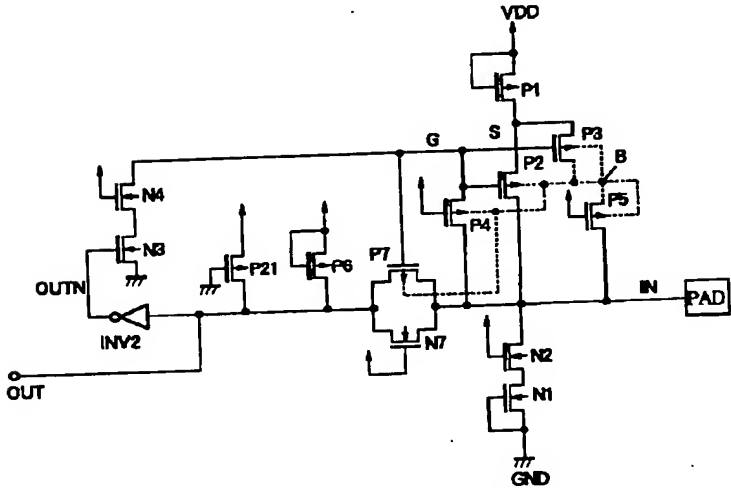
第7の実施形態のDC特性

【図17】



第8の実施形態

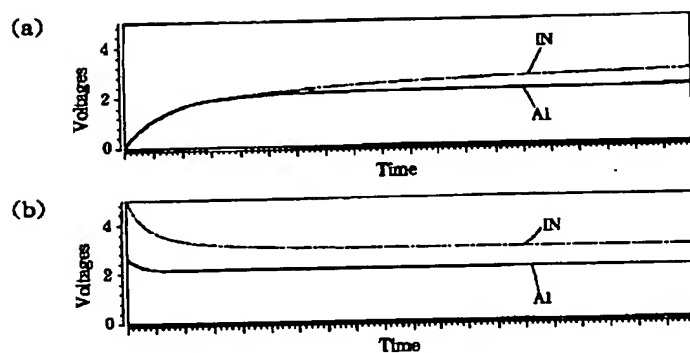
【図18】



第9の実施形態

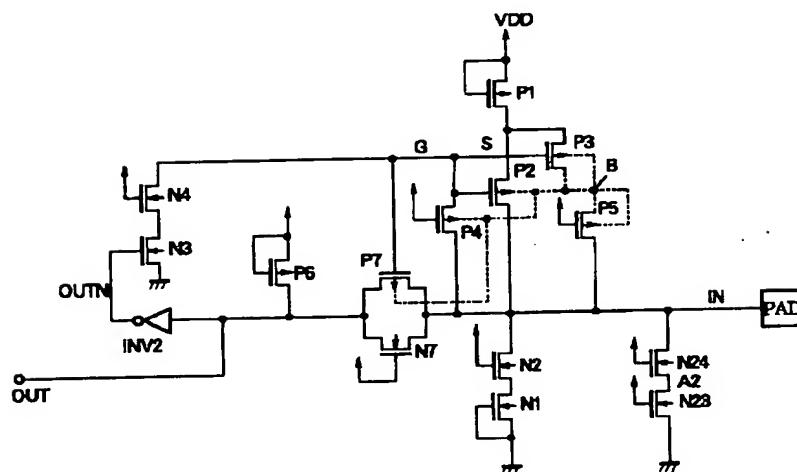


【図21】



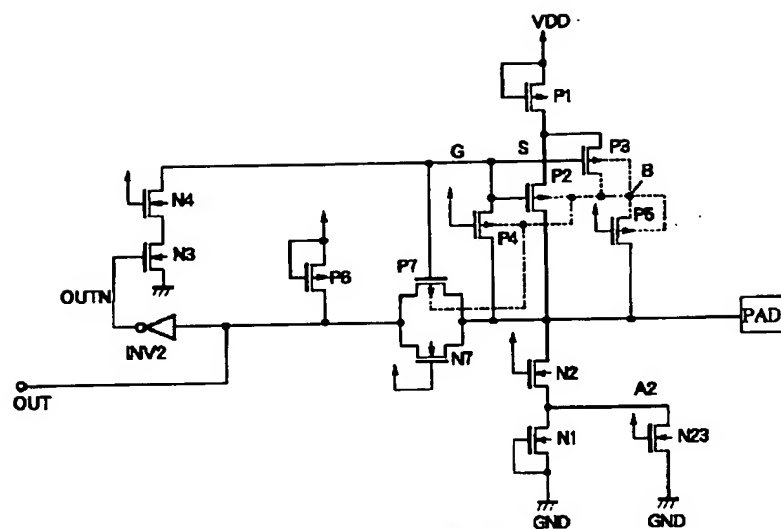
第11の実施形態のタイミング図

【図22】



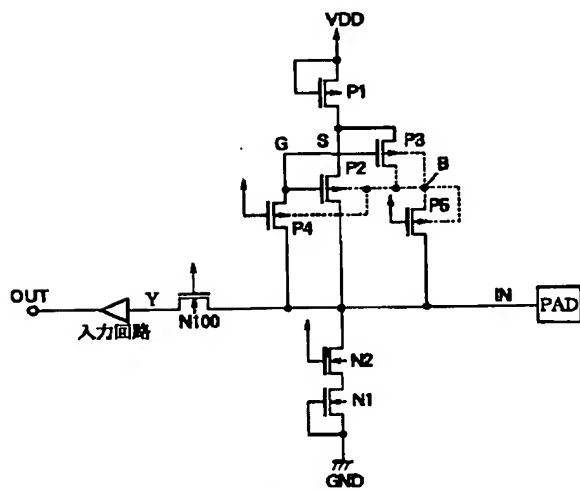
第12の実施形態

【図 23】



第13の実施形態

【図 24】



従来技術(1)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**